

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC862 U.S. PTO
09/851433



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月12日

出 願 番 号
Application Number:

特願2000-139458

出 願 人
Applicant(s):

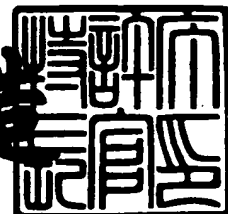
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2001-3026060

【書類名】 特許願

【整理番号】 P004913

【提出日】 平成12年 5月12日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 加藤 清

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部と、前記画素部の駆動回路と、前記メモリ部と、は同一基板上に一体形成され、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

【請求項 2】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第 1 の基板上に形成されており、

前記画素部の駆動回路と前記メモリ部とは第 2 の基板上に一体形成されており

前記第 1 の基板上の前記画素部以外の領域に前記第 2 の基板が設けられ、前記画素部の駆動回路からの信号が前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記第 2 の基板は前記第 1 の基板と同じ厚さを有することを特徴とする半導体装置。

【請求項 4】

請求項 2 または請求項 3 において、前記第 2 の基板は前記第 1 の基板と同じ材料を有することを特徴とする半導体装置。

【請求項 5】

請求項 2 において、前記第 2 の基板は絶縁表面を有する基板、SOI 基板またはシリコン基板のうちの 1 つであることを特徴とする半導体装置。

【請求項 6】

画素部と、データ線側駆動回路と、走査線側駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第 1 の基板上に形成されており、

前記データ線側駆動回路と前記メモリ部とは第 2 の基板上に一体形成されており、

前記走査線側駆動回路は第 3 の基板上に一体形成されており、

前記第 1 の基板上の前記画素部以外の領域に前記第 2 の基板と前記第 3 の基板とが設けられ、前記データ線側駆動回路からの信号と前記走査線側駆動回路からの信号とが前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置。

【請求項 7】

請求項 6 において、前記第 2 の基板と前記第 3 の基板とは、前記第 1 の基板と同じ厚さを有することを特徴とする半導体装置。

【請求項 8】

請求項 6 または請求項 7 において、前記第 2 の基板と前記第 3 の基板とは、前記第 1 の基板と同じ材料を有することを特徴とする半導体装置。

【請求項 9】

請求項 6 において、前記第 2 の基板と前記第 3 の基板とは、絶縁表面を有する基板、SOI 基板またはシリコン基板のうちの 1 つであることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか 1 項において、前記半導体装置は前記メモリ部に格納された画像データを基に静止画像を表示する機能を有することを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、前記メモリ部は 100kbit ～ 10Gbit の記憶容量を有することを特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至請求項 1 0 のいずれか 1 項において、前記メモリ部は 1 Mbit～1 2 8 Mbit の記憶容量を有することを特徴とする半導体装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項において、前記メモリ部は、S R A M、D R A M、または E E P R O M のいずれか 1 つによって構成されることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 乃至請求項 1 2 のいずれか 1 項において、前記メモリ部は、S R A M、D R A M、または E E P R O M の組み合わせによって構成されることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか 1 項において、前記半導体装置はメモリ制御回路を備えており、

前記メモリ制御回路と前記メモリ部とは同一基板上に一体形成されることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか 1 項において、前記半導体装置はアクティブマトリクス型液晶表示装置、パッシブマトリクス型液晶表示装置、アクティブマトリクス型 E L 表示装置、或いはパッシブマトリクス型 E L 表示装置のうちのいずれか 1 つであることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 乃至請求項 1 5 のいずれか 1 項において、前記半導体装置とは、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、D V D プレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオから選ばれた一つであることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】

本願発明は画素部と画素部の駆動回路とメモリ部とを有する半導体装置に関する。特に、画素部と画素部の駆動回路とメモリ部が同一基板上に一体形成された半導体表示装置、画素部を形成する第1の基板上に、画素部の駆動回路とメモリ部が一体形成された第2の基板を実装した半導体表示装置、及びこのような半導体表示装置を搭載した電子機器に関する。

【 0 0 0 2 】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置およびE L表示装置に代表される半導体表示装置および半導体表示装置を搭載した電子機器をその範疇に含む。半導体表示装置を搭載した電子機器と同義で、半導体表示装置を搭載した半導体装置という言葉も用いる。また、本明細書において、少なくとも駆動回路（代表的には、画素部の駆動回路）を有する短冊状に切り出された基板を、スティックドライバと呼ぶ。

【 0 0 0 3 】

【従来の技術】

近年の半導体装置、特に、半導体表示装置を搭載した電子機器の発展はめざましく、その応用例は、ノートパソコン、携帯電話を始めとする携帯機器、液晶テレビ、液晶ディスプレイ等、様々である。また、自発光層を備えた半導体表示装置（代表的には、E L表示装置）に関する研究開発も盛んに行われている。半導体表示装置は、従来のC R Tと比較して軽量薄型化が可能であり、消費電力が小さいこと（特に液晶表示装置）を特徴とする。

【 0 0 0 4 】

従来の半導体表示装置としては、薄膜トランジスタ（以下、T F Tという）をマトリクス状に配置した画素部を有するアクティブマトリクス型の半導体表示装置と、液晶層または自発光層を挟んで上下に、ストライプ状の電極を互いにクロスするように形成した画素部を有するパッシブマトリクス型の半導体表示装置とが知られている。アクティブマトリクス型の半導体表示装置は、さらに、ポリシリコン膜を用いたT F Tによって画素部を構成するものと、アモルファスシリコン膜を用いたT F Tによって画素部を構成するものがある。ポリシリコン膜を用

いたアクティブマトリクス型の表示装置では、アモルファスシリコン膜を用いた場合と比較して、T F Tの電界効果移動度が高く、高速動作が可能であるため、画素部と画素部の駆動回路とを同一の基板上に形成することが可能となっている。一方、アモルファスシリコン膜を用いたアクティブマトリクス型の表示装置やパッシブマトリクス型の表示装置では、駆動回路を画素部を形成する基板上に一体形成することは困難であり、シリコン基板上に画素部の駆動回路を形成したスティックドライバを、画素部を形成する基板上に実装した構成となっている。

【 0 0 0 5 】

なお、本願明細書において、薄膜トランジスタ（T F T）とは、S O I技術を用いて形成されるトランジスタの全体を指す。勿論、絶縁表面を有する基板上に形成されたものであっても、S O I基板上に形成されたものであっても構わない。

【 0 0 0 6 】

従来の半導体表示装置を搭載した電子機器において、画像が表示されるまでの信号処理工程について簡単に説明する。図3は、そのような電子機器において画像の表示に関係する部分のブロック図を示したものである。

【 0 0 0 7 】

図3において、半導体装置301は、画像データを取り込み、または作成して、画像データの加工とフォーマット変換を行い、画像を表示する装置である。半導体装置301としては、例えば、ビデオカメラ、カーナビゲーション、パーソナルコンピュータ等を考えることができる。

【 0 0 0 8 】

半導体装置301は、入力端子311、第1の制御回路312、第2の制御回路313、CPU314、第1のメモリ315、第2のメモリ316、及び半導体表示装置302によって構成される。入力端子311からは、それぞれの電子機器に応じて、画像データの基となるデータが入力される。例えば、放送受信機ではアンテナからの入力データであり、ビデオカメラではCCDからの入力データである。DVテープやメモリーカードからの入力データであってもよい。入力端子311から入力されたデータは、第1の制御回路312によって画像信号に

変換される。第 1 の制御回路 3 1 2 では、M P E G 規格やテープフォーマット等に従って圧縮符号化された画像データの復号処理、画像の補間やリサイズといった画像信号処理が行われる。第 1 の制御回路 3 1 2 から出力された画像信号や、C P U 3 1 4 が作成または加工した画像信号は、第 2 の制御回路 3 1 3 に入力され、半導体表示装置 3 0 2 に適したフォーマット（例えば走査フォーマット等）に変換される。第 2 の制御回路 3 1 3 からは、フォーマット変換された画像信号と制御回路が出力される。

【 0 0 0 9 】

C P U 3 1 4 は、第 1 の制御回路 3 1 2、第 2 の制御回路 3 1 3 および他のインターフェース回路における信号処理を効率良く制御する。また、画像データを作成したり、加工したりする。第 1 のメモリ 3 1 5 は、第 1 の制御回路 3 1 2 から出力される画像データや第 2 の制御回路 3 1 3 から出力される画像データを格納するメモリ領域、C P U による制御を行う際のワークメモリ領域、C P U によって画像データを作成する際のワークメモリ領域、等として用いられる。第 1 のメモリ 3 1 5 としては、D R A M や S R A M が用いられる。第 2 のメモリ 3 1 6 は、C P U 3 1 4 によって画像データを作成または加工する場合に必要となる、色データや文字データを格納するメモリ領域であり、マスク R O M や E P R O M によって構成される。

【 0 0 1 0 】

半導体表示装置 3 0 2 は、データ線側駆動回路 3 1 7、走査線側駆動回路 3 1 8、画素部 3 1 9 によって構成される。データ線側駆動回路 3 1 7 は第 2 の制御回路 3 1 3 から画像信号と制御信号（クロック信号、スタートパルス）を、走査線側駆動回路 3 1 8 は第 2 の制御回路 3 1 3 から制御信号（クロック信号、スタートパルス）をそれぞれ受け取り、画素部 3 1 9 において画像を表示する。

【 0 0 1 1 】

以上のようにして、半導体装置 3 0 1 は画像データを取り込み、または作成して、画像を表示するが、このような半導体装置は、2 つの独立した半導体装置と考えることもできる。2 つの独立した半導体装置は、図 4 に示すようなブロック図によって表すことができる。図 4 において、半導体装置 4 0 1 からは、第 2 の

制御回路を介して、色信号、輝度信号、画質調整用の信号といった一般的なフォーマットの画像信号と制御信号が出力される。半導体装置401から出力された画像信号と制御信号は、半導体装置402に入力され、制御回路422によって半導体表示装置403に適したフォーマットの画像信号とクロック信号、スタートパルスといった制御信号に変換される。そして半導体表示装置403は、制御回路422から画像信号と制御信号を受け取り、画像の表示を行う。なお、制御回路422は、画素部425とは別のチップで構成される。半導体装置401としては、例えば放送受信機、ゲーム機を、また、半導体装置402としては、例えば液晶ディスプレイ、ELディスプレイを考えることができる。

【0012】

【発明が解決しようとする課題】

半導体表示装置の面積化が進み、また、半導体表示装置を搭載した携帯型の電子機器が広く普及するなかで、半導体装置の消費電力を低く抑えることは重要な課題となっている。

【0013】

例えば、従来の半導体表示装置を搭載した半導体装置において、静止画像を表示する場合を考える。図3に示した半導体装置のブロック図に従って静止画像を表示する場合、CPU314は、静止画像データを格納している第1のメモリ315から画像データを読み出し、第2の制御回路313でフォーマット変換等を行う。第2の制御回路313から出力された画像信号と制御信号は、半導体表示装置302に入力され、画素部319において表示が行われる。このように、静止画像を表示する場合は、半導体装置301全体で複雑な信号処理が行われ、多くの電力を消費してしまうことがわかる。同様のことは、図4に示した2つの半導体装置のブロック図にもあてはまる。この場合、半導体装置401と半導体装置402の間で画像信号と制御信号が転送され、半導体装置401および半導体装置402の全体で電力を消費してしまう。

【0014】

本願発明では、特に静止画像を表示する場合に、消費電力を低く抑えることができる半導体装置を提供することを課題とする。

【 0 0 1 5 】

【課題を解決するための手段】

本願発明では、上記課題を解決するために、画素部を形成する基板上にメモリ部を実装する。そして、該メモリ部に格納した画像データを用いて静止画像を表示する。

【 0 0 1 6 】

本願発明では、メモリ部を画素部を形成する基板上に実装する形態として、メモリ部、画素部および画素部の駆動回路を同一基板上に一体形成する形態と、メモリ部と画素部の駆動回路とを同一基板上に一体形成したスティックドライバを、画素部を形成する基板上に実装する形態とを考える。メモリ部、画素部および画素部の駆動回路を同一基板上に一体形成する形態は、主として、ポリシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の半導体表示装置に用いられる。また、メモリ部と画素部の駆動回路とを同一基板上に一体形成したスティックドライバを、画素部を形成する基板上に実装する形態は、主として、アモルファスシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の半導体表示装置、およびパッシブマトリクス型の半導体表示装置に用いられる。

【 0 0 1 7 】

本願発明では、静止画像を表示する際に、画素部を形成する基板上に実装したメモリ部に格納した画像データを用いることができる。その結果、画像を表示する手続きの殆どを画素部を形成する基板上で行うことが可能となり、従来は半導体装置全体で電力を消費していたのに対し、本願発明では実質上画素部を形成する基板上だけで電力が消費されることになる。画素部を形成する基板の外部からは簡単な制御信号を必要とするだけであり、画素部を形成する基板の外部において電力が消費されることは殆どない。場合によっては、半導体装置において、半導体表示装置および半導体表示装置に制御信号を送る制御回路を除く多くの回路は完全に電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることができる。なお、外部からの制御信号としては、クロック信号やスタートパルス、及びメモリのアドレスや読み出し、

書き込みに関する信号等が含まれる。

【 0 0 1 8 】

本願発明の半導体装置、画素部を形成する基板上にメモリ制御回路を実装することは好ましい。この場合、メモリ制御回路は、メモリ部と同一基板上に形成するとよい。つまり、スティックドライバによってメモリを実装する場合には、スティックドライバを構成する基板上にメモリ制御回路を形成し、またメモリ部を画素部と同一基板上に形成する場合には、画素部と同一基板上にメモリ制御回路を形成する。

【 0 0 1 9 】

その結果、静止画像を表示する場合、メモリ制御回路でメモリのアドレスに関する簡単な計算を行うことによって、画素部を形成する基板へ入力される制御信号はさらに簡単なものとなる。つまり、画像を表示する手続きのさらに多くの部分を、画素部を形成する基板上で行うことが可能となる。そして消費電力はさらに低く抑えられる。

【 0 0 2 0 】

このようにして、静止画像を表示する場合に消費電力を低く抑えることができる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

【 0 0 2 1 】

なお、メモリ部は、その用途から、メモリ全体で少なくとも一つの静止画像全体を格納するだけの記憶容量を有することが必要である。複数の静止画像を格納できる記憶容量を有することはさらに望ましい。可能であれば、短時間の動画像を格納できる記憶容量を有することも好ましい。

【 0 0 2 2 】

メモリ部を構成するメモリとしては、SRAM、DRAMまたはEEPROMのいずれであってもよい。また、メモリ部を、SRAM、DRAMおよびEEPROMの組合せによって構成してもよい。

【 0 0 2 3 】

この他、スティックドライバを形成する基板は、シリコン基板、SOI基板および絶縁表面を有する基板のいずれであってもよい。特に、スティックドライバ

を形成する基板を、画素部を形成する基板と同じ厚さおよび同じ材質とすることは好ましい。また、画像信号が入力されるのは、画素部の駆動回路のうちデータ線側駆動回路だけであるため、スティックドライバを用いてメモリと駆動回路を実装する場合には、データ線側駆動回路を備えたスティックドライバ（データ線側スティックドライバ）にだけメモリ部を内蔵してもよい。

【 0 0 2 4 】

以下に、本願発明の構成を示す。

【 0 0 2 5 】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部と、前記画素部の駆動回路と、前記メモリ部と、は同一基板上に一体形成され、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

【 0 0 2 6 】

画素部と、画素部の駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第 1 の基板上に形成されており、

前記画素部の駆動回路と前記メモリ部とは第 2 の基板上に一体形成されており、

前記第 1 の基板上の前記画素部以外の領域に前記第 2 の基板が設けられ、前記画素部の駆動回路からの信号が前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

【 0 0 2 7 】

前記第 2 の基板は前記第 1 の基板と同じ厚さを有していてもよい。

【 0 0 2 8 】

前記第 2 の基板は前記第 1 の基板と同じ材料を有していてもよい。

【 0 0 2 9 】

前記第 2 の基板は絶縁表面を有する基板、S O I 基板またはシリコン基板のう

ちの1つであってもよい。

【 0 0 3 0 】

画素部と、データ線側駆動回路と、走査線側駆動回路と、メモリ部と、を少なくとも備えた半導体装置であって、

前記画素部は第1の基板上に形成されており、

前記データ線側駆動回路と前記メモリ部とは第2の基板上に一体形成されており

前記走査線側駆動回路は第3の基板上に一体形成されており、

前記第1の基板上の前記画素部以外の領域に前記第2の基板と前記第3の基板とが設けられ、前記データ線側駆動回路からの信号と前記走査線側駆動回路からの信号とが前記画素領域に入力するように接続されており、

前記メモリ部に格納された画像データを基に画像を表示する機能を有することを特徴とする半導体装置が提供される。

【 0 0 3 1 】

前記第2の基板と前記第3の基板とは、前記第1の基板と同じ厚さを有していてもよい。

【 0 0 3 2 】

前記第2の基板と前記第3の基板とは、前記第1の基板と同じ材料を有していてもよい。

【 0 0 3 3 】

前記第2の基板と前記第3の基板とは、絶縁表面を有する基板、SOI基板またはシリコン基板のうちの1つであってもよい。

【 0 0 3 4 】

前記半導体装置は前記メモリ部に格納された画像データを基に静止画像を表示する機能を有していてもよい。

【 0 0 3 5 】

前記メモリ部は100kbit～10Gbitの記憶容量を有することが好ましい。

【 0 0 3 6 】

前記メモリ部は1Mbit～128Mbitの記憶容量を有することがより好ましい。

【 0 0 3 7 】

前記メモリ部は、SRAM、DRAM、またはEEPROMのいずれか1つによって構成されていてもよい。

【 0 0 3 8 】

前記メモリ部は、SRAM、DRAM、またはEEPROMの組み合わせによって構成されていてもよい。

【 0 0 3 9 】

前記半導体装置はメモリ制御回路を備えており、前記メモリ制御回路と前記メモリ部とは同一基板上に一体形成されていてもよい。

【 0 0 4 0 】

前記半導体装置はアクティブマトリクス型液晶表示装置、パッシブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、或いはパッシブマトリクス型EL表示装置のうちのいずれか1つであってもよい。

【 0 0 4 1 】

前記半導体装置とは、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVDプレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオから選ばれた一つであってもよい。

【 0 0 4 2 】

【発明の実施の形態】

本願発明の特徴は、半導体装置において、画素部を形成する基板上にメモリ部を実装することにより、低消費電力で静止画像または短時間の動画像が表示できる点にある。本実施の形態では、半導体表示装置を搭載した半導体装置のブロック図と、画像を表示するまでの画像データの流れについて簡単に説明を行う。なお、メモリ部、駆動回路、および画素部といった本願発明を構成する各ブロックの詳細（回路構成等）についての説明は実施例を参照することができる。

【 0 0 4 3 】

説明には、図1および図2を用いる。図1は画素部を形成した基板上にメモリ部を一体形成した半導体装置のブロック図であり、図2は画素部を形成した基板

上に、メモリ部を備えたスティックドライバを実装した半導体装置のブロック図である。

【0044】

まず、図1を参照する。半導体装置101は、入力端子111、第1の制御回路112、第2の制御回路113、CPU114、第1のメモリ115、第2のメモリ116、及び半導体表示装置102によって構成される。また、半導体表示装置102は、メモリ部120、データ線側駆動回路117、走査線側駆動回路118、および画素部119によって構成される。メモリ部120、データ線側駆動回路117、走査線側駆動回路118、および画素部119は全て同一基板上に形成されている。

【0045】

半導体装置101において、半導体表示装置102を除いた部分は、図3に示した半導体装置（従来の技術を参照）と同様であるため、その部分の説明は省略する。ただし、第2の制御回路からの出力信号には、従来の技術で述べた画像信号と制御信号（クロック信号、スタートパルス等）以外に、メモリ部を制御する制御信号（メモリのアドレス、書き込み、読み出しに関する信号）が含まれる。

【0046】

画像（特に、動画像）を表示する際には、半導体表示装置102には画像信号と制御信号が入力される。まず、メモリ部へは画像信号及びメモリのアドレスや書き込み、読み出しに関する制御信号が入力され、画像信号はメモリ部120に格納される。メモリ部120に格納された画像データは制御信号によって再び読み出され、データ線側駆動回路117に送られる。同時に、データ線側駆動回路117と走査線側駆動回路118には、クロック信号やスタートパルスといった制御信号が入力され、画素部119においてメモリ部120から読み出された画像信号が表示される。

【0047】

静止画像を表示する場合には、半導体表示装置102へは制御信号だけが入力される。そしてメモリのアドレス、書き込み、読み出しに関する制御信号に従って、メモリ部120に格納された画像データが読み出され、データ線側駆動回路

117に送られる。同時に、データ線側駆動回路117と走査線側駆動回路118には、クロック信号やスタートパルスといった制御信号が入力され、画素部119においてメモリ部120から読み出された画像信号を表示する。

【0048】

このように本願発明では、静止画像を表示する場合、画素部を形成する基板上に実装したメモリ部に格納された画像データを用いることができる。その結果、上述したように、画素部を形成する基板の外部からは簡単な制御信号が必要となるだけであり、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送に伴う画素部を形成する基板の外部の消費電力は大幅に減少する。場合によっては、半導体装置101において、半導体表示装置102と第2の制御回路113を除く回路（第1の制御回路112、第1のメモリ115、第2のメモリ116、CPU114）の全て或は一部分は、完全に電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることが可能となる。

【0049】

また本願発明では、画素部を形成する基板上にメモリ制御回路を一体形成してもよい（実施例1参照）。このような構成とし、画素を形成する基板上でメモリ制御回路でメモリのアドレスに関する簡単な計算を行うことによって、静止画像を表示する場合に半導体表示装置に入力される制御信号はさらに簡単なものとなる。そして消費電力はさらに低く抑えられる。

【0050】

なお、図1に示したメモリ部と画素部と画素部の駆動回路を一体形成した半導体表示装置は、主として、ポリシリコン膜を用いたTFTによって構成されるアクティブマトリクス型の表示装置に用いられる。表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、EL表示装置）であってもよい。アクティブマトリクス型液晶表示装置の例としては実施例3、4を、また、アクティブマトリクス型EL表示装置の例としては実施例6、7を参照することができる。

【0051】

次に図 2 を参照する。半導体装置 2 0 1 は、入力端子 2 1 1、第 1 の制御回路 2 1 2、第 2 の制御回路 2 1 3、CPU 2 1 4、第 1 のメモリ 2 1 5、第 2 のメモリ 2 1 6、及び半導体表示装置 2 0 2 によって構成される。

半導体装置 2 0 1 は、半導体表示装置 2 0 2 を除いて、図 1 に示した半導体装置 1 0 1 と同様であり、第 2 の制御回路からは、画像信号と制御信号（クロック信号、スタートパルス等）以外に、メモリ部を制御する制御信号（メモリのアドレス、書き込み、読み出しに関する信号）が出力される。

【 0 0 5 2 】

また、半導体表示装置 2 0 2 は、メモリ部とデータ線側駆動回路の組（2 2 0 a、2 1 7 a）、（2 2 0 b、2 1 7 b）、（2 2 0 c、2 1 7 c）をそれぞれ同一基板上に形成したデータ線側スティックドライバ（波線で囲んだ部分）2 2 2 a、2 2 2 b、2 2 2 c、および走査線側駆動回路 2 1 8 a、2 1 8 b をそれぞれ備えた走査線側スティックドライバ（波線で囲んだ部分）2 2 1 a、2 2 1 b と、画素部 2 1 9 によって構成される。スティックドライバは、画素部を形成する基板上に実装される。

【 0 0 5 3 】

そして、半導体表示装置 1 0 2 と同様に、画像を表示する際には画像信号と制御信号が、静止画像を表示する際には制御信号だけが入力され、画素部 2 1 9 において画像が表示される。なお、半導体表示装置 2 0 2 は、画素部の駆動回路とメモリ部が複数個のスティックドライバによって、分割されているため、半導体装置 2 0 2 に入力された信号は、それぞれのスティックドライバに送られる。例えば、静止画像を表示する際には、それぞれのデータ線側スティックドライバに、メモリのアドレスや書き込み、読み出しに関する制御信号（メモリ部に入力される）、およびクロック信号やスタートパルスといった制御信号（データ線側駆動回路に入力される）が入力され、それぞれの走査線側スティックドライバに、クロック信号やスタートパルスといった制御信号（走査線側駆動回路に入力される）が入力される。

【 0 0 5 4 】

このように、スティックドライバによってメモリを実装した本実施の形態にお

いても、静止画像を表示する場合、画素部を形成する基板の外部からは、簡単な制御信号を入力するだけでよく、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送に伴う消費電力は大幅に減少する。場合によっては、半導体装置 2 0 1 において、半導体表示装置 2 0 2 と第 2 の制御回路 2 1 3 を除く回路（第 1 の制御回路 2 1 2、第 1 のメモリ 2 1 5、第 2 のメモリ 2 1 6、CPU 2 1 4）の全て或は一部分は、完全に電源を停止することも可能である。このようにして、従来の半導体装置と比較して、消費電力を大幅に抑えることが可能となる。

【 0 0 5 5 】

また、スティックドライバを形成する基板上にメモリ制御回路を一体形成してもよい（実施例 1 参照）。スティックドライバ内に設けたメモリ制御回路でメモリのアドレスに関する簡単な計算を行うことによって、静止画像を表示する場合に、画素部を形成する基板へ入力される制御信号はさらに簡単なものとなり、消費電力はさらに低く抑えられる。

【 0 0 5 6 】

なお、図 2 に示したメモリ部と画素部の駆動回路を有するスティックドライバを実装した半導体表示装置は、主として、アモルファスシリコン膜を用いた TFT によって構成されるアクティブマトリクス型の表示装置や、パッシブマトリクス型の表示装置に用いられる。表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、EL 表示装置）であってもよい。アクティブマトリクス型液晶表示装置の例としては実施例 3、5 を、アクティブマトリクス型 EL 表示装置の例としては実施例 6、8 を、パッシブマトリクス型の表示装置の例としては実施例 9 を参照することができる。

【 0 0 5 7 】

なお、スティックドライバを形成する基板は、シリコン基板であっても、SOI 基板であっても、絶縁表面を有する基板であってもかまわない。シリコン基板上または SOI 基板上に形成されたスティックドライバは小型で高特性である。また、スティックドライバを、画素部を形成する基板と同じ材料の基板上に形成すること、液晶表示装置において、対向基板と同じ厚さの基板上に形成すること

、は以下の点で好ましい。まず同じ材料である場合には、熱膨張率が同じであるため、表示装置に温度変化が生じても熱応力が生じることはなく、T F Tで作製された回路の特性が損なわれることがない。また、液晶表示装置の対向基板とスティックドライバを形成する基板が同じ厚さを有することにより、半導体表示装置全体としての薄型化に寄与することができる。スティックドライバを実装する形態については、実施例 5、8 を参照することができる。

【 0 0 5 8 】

本願発明では、このようにメモリ部を画素部を形成する基板上に実装する。本願発明によって、静止画像を表示する場合に消費電力を低く抑えることができる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

【 0 0 5 9 】

なお、メモリ部は、その用途から、メモリ全体で少なくとも一つの静止画像全体を格納するだけの記憶容量を有することが必要である。複数の静止画像を格納できる記憶容量を有することはさらに望ましい。可能であれば、短時間の動画画像を格納できる記憶容量を有することも好ましい。

【 0 0 6 0 】

例えば、階調表示を行わない白黒の E G A 規格の表示装置では一つの静止画像を表示するのに約 2 5 6 [kbit] のデータが必要である。また、R G B フルカラーの U X G A 規格の表示装置において、画像信号として 6 [bit] のデジタル信号を用いる場合には、一つの静止画像を表示するのに約 4 0 [Mbit] のデータが必要となる。また、同様の表示装置において、1 秒間に 6 0 フレームとして 1 分程度の動画画像を表示する場合にはおよそ 1 0 [Gbit] のデータが必要となる。また、スティックドライバを実装する半導体表示装置においては、複数のスティックドライバでデータ線側駆動回路の全体を構成するため、個々のスティックドライバに内蔵するメモリ部の容量は一つの静止画像データの容量より小さくてもよい。これらのことを考慮すると、メモリ部の容量は 1 0 0 [kbit] 以上であることが好ましい。また、動画画像を格納することを考慮した場合には、1 0 [Gbit] 程度の記憶容量を有することが好ましい。勿論、さらに大きな記憶容量を有していてもよい。また、X G A 規格や U X G A 規格の表示装置において、1 ～数十枚の静止画像

のデータとワーク領域とを考慮した場合には、メモリ部の容量が1 [Mbit]～128 [Mbit]であることが望ましい。

【0061】

メモリ部を構成するメモリとしては、SRAM、DRAMまたはEEPROMのいずれであってもよい。SRAMは動作速度が非常に速いが集積密度が低く、DRAMは、動作速度がSRAMに劣るが集積密度はSRAMより高い。また、EEPROMは、動作速度がさらに遅いが集積密度が非常に高い、という特徴を有する。これらメモリ部を構成するメモリの例は、実施例10～13を参照することができる。

【0062】

また、メモリ部をSRAM、DRAMおよびEEPROMの組み合わせによって構成してもよい。例えば、動作速度の速いSRAMと、集積密度の高いEEPROMからなるメモリ部を設け、SRAMを一時的にデータを格納するバッファとして、またEEPROMをメインメモリとして使用することも可能である（実施例14参照）。

【0063】

なお、メモリ部に格納する画像データはデジタル信号であるので、入力される画像信号がアナログ信号である場合には、必要に応じてD/Aコンバータ若しくはA/Dコンバータを設ける必要がある。その場合、D/Aコンバータ若しくはA/Dコンバータはメモリ部を形成する基板上に一体形成することが望ましい。

【0064】

本実施の形態では、データ線側スティックドライバのみにメモリ部を設ける構成としたが、走査線側スティックドライバ内にメモリ部を設けても構わない。例えば、駆動方法が複雑な場合には、走査線側の駆動信号に関する情報をこのメモリ部に格納することができる。

【0065】

本実施の形態では、画像を表示する際に、画像信号をいったんメモリ部に格納した後、画像を表示する構成としたが、本願発明はこれに限定されない。画像信号をメモリ部とデータ線側駆動回路に同時に入力してもよいし、制御信号によっ

てこれらのモードを切り替えてもよい。

【 0 0 6 6 】

(実施例 1)

本願発明において、画素部を形成する基板上にメモリ制御回路を実装することも好ましい。

【 0 0 6 7 】

図 5 および図 6 は、メモリ制御回路を有する半導体表示装置を搭載した半導体装置のブロック図である。半導体表示装置を除いた部分は、それぞれ、入力端子 5 1 1、6 1 1、第 1 の制御回路 5 1 2、6 1 2、第 2 の制御回路 5 1 3、6 1 3、CPU 5 1 4、6 1 4、第 1 のメモリ 5 1 5、6 1 5、第 2 のメモリ 5 1 6、6 1 6 によって構成されており、実施の形態で説明した半導体装置（図 1 参照）と同様である。図 5 に示した半導体表示装置 5 0 2 は、メモリ制御回路 5 1 7 がメモリ部 5 2 1、データ線側駆動回路 5 1 8、走査線側駆動回路 5 1 9、及び画素部 5 2 0 と同一基板上に一体形成している。また、図 6 に示した半導体表示装置 6 0 2 は、メモリ制御回路、メモリ部、データ線側駆動回路の組（6 2 0 a、6 2 1 b、6 1 7 c）、（6 2 0 a、6 2 1 b、6 1 7 c）、（6 2 0 a、6 2 1 b、6 1 7 c）がそれぞれ一体形成されているスティックドライバ 6 2 3 a、6 2 3 b、6 2 3 c を画素部を形成する基板上に実装している。

【 0 0 6 8 】

メモリ制御回路の役割は、半導体表示装置の外部から送られてくる制御信号をより簡単なものにするることである。例えば、メモリのアドレスの計算を行う回路を設けることによって、半導体表示装置の外部から送られてくるメモリのアドレスに関する制御信号を簡単なものにするのが可能となる。また、メモリ部の制御だけに限定されず、走査線側駆動回路やデータ線側駆動回路の制御信号をより簡単にするための回路を含んでも良い。メモリ制御回路は、半導体表示装置の外部からの制御信号を簡単化できるような機能を有する回路であればどのような公知の回路を含んでもよい。

【 0 0 6 9 】

このようにメモリ制御回路を半導体表示装置、特に画素を形成する基板上に実

装することによって、静止画像を表示する場合に、消費電力の低い半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

【 0 0 7 0 】

なお、メモリ部とメモリ制御回路と画素部と画素部の駆動回路とを一体形成した半導体表示装置（図 5）は、主として、ポリシリコン膜を用いた T F T によって構成されるアクティブマトリクス型の表示装置に用いられる。また、メモリ部とメモリ制御回路と画素部の駆動回路とを有するスティックドライバを、画素部を形成する基板上に実装した半導体表示装置（図 6）は、主として、アモルファスシリコン膜を用いた T F T によって構成されるアクティブマトリクス型の表示装置や、パッシブマトリクス型の表示装置に用いられる。表示装置としては、液晶表示装置であっても、自発光層を有する表示装置（代表的には、E L 表示装置）であってもよい。

【 0 0 7 1 】

（実施例 2）

実施の形態で説明した半導体装置（図 1 及び図 2）は、2つの独立した半導体装置と考えることもできる。本実施例では、2つの独立した半導体装置のうち、半導体表示装置を含む半導体装置について説明を行う。説明には、図 7 および図 8 を用いる。

【 0 0 7 2 】

図 7 に示した半導体装置 7 0 1 は、入力端子 7 1 1、制御回路 7 1 2、半導体表示装置 7 0 2 によって構成される。半導体表示装置 7 0 2 において、メモリ部 7 1 4 は、画素部 7 1 7、データ線側駆動回路 7 1 5 および走査線側駆動回路 7 1 6 と同一基板上に一体形成されている。一方、図 8 に示した半導体装置 8 0 1 は、入力端子 8 0 3、制御回路 8 0 4、半導体表示装置 8 0 2 によって構成される。半導体表示装置 8 0 2 は、メモリ部 8 2 0 a、8 2 0 b、8 2 0 c とデータ線側駆動回路 8 1 7 a、8 1 7 b、8 1 7 c を、スティックドライバによって画素部を形成する基板上に実装したものである。データ線側スティックドライバ 8 2 2 a、8 2 2 b、8 2 2 c を構成するメモリ部及びデータ線側駆動回路（8 2 0 a、8 1 7 a）、（8 2 0 b、8 1 7 b）および（8 2 0 c、8 1 7 c）は、

それぞれ同一基板上に形成されている。

【0073】

本実施例に示した半導体装置は、半導体表示装置の他に、画像信号のフォーマットを変換できる制御回路を有する。図7において、半導体装置701には、色信号、輝度信号、調整用の信号といった画像信号と制御信号が入力される。半導体装置701に入力された画像信号と制御信号は、入力端子711を経て制御回路712に入力され、半導体表示装置702に適した画像フォーマットに変換される。半導体装置702には、図1に示した半導体表示装置（実施の形態参照）に入力される画像信号と制御信号と同様な信号が入力され、画素部717において画像が表示される。半導体装置801においても全く同様である。なお、制御回路は、画素部とは別のチップで構成される。

【0074】

このような半導体装置においても、静止画像を表示する場合、画素部を形成する基板上に実装したメモリ部に格納された画像データを用いることができるため、画像信号を半導体表示装置の外部から送るといった、多量のデータ転送に伴う消費電力は大幅に減少する。場合によっては、半導体装置701だけ、他の半導体装置を用いずに、静止画像を表示することも可能である。

【0075】

本実施例は、液晶ディスプレイ、ELディスプレイ等に応用することができる。また、本実施例は実施例1と組み合わせることができる。つまり、図7及び図8に示した半導体装置において、メモリ制御回路を半導体表示装置に実装しても良い。

【0076】

（実施例3）

本実施例では、本願発明をアクティブマトリクス型液晶表示装置に応用した例について述べる。説明には図9を用いる。

【0077】

図9（A）はアクティブマトリクス型液晶表示装置のブロック図である。図9（A）に示したアクティブマトリクス型液晶表示装置は、画素904がマトリク

ス状に配置された画素部 9 0 1 と、データ線側駆動回路 9 0 2 と、走査線側駆動回路 9 0 3 と、メモリ部 9 0 5 とを有する。また、データ線側駆動回路 9 0 2 にはデータ線 9 0 7 が接続され、走査線側駆動回路 9 0 3 には走査線 9 0 7 が接続されている。容量線 9 0 8 にはコモン電位が与えられている。

【 0 0 7 8 】

なお、画素部 9 0 1、データ線側駆動回路 9 0 2、走査線側駆動回路 9 0 3 およびメモリ部 9 0 5 は同一基板上に形成されていても良いし、データ線側駆動回路 9 0 2、メモリ部 9 0 5 および走査線側駆動回路 9 0 3 が、実施の形態で説明したスティックドライバによって画素部を形成する基板上に実装されていても良い。

【 0 0 7 9 】

図 9 (B) は、画素部 9 0 1 を構成する画素 9 0 4 の回路図を示したものである。画素 9 0 4 は、スイッチング用 T F T 9 1 1、液晶素子 9 1 4 およびコンデンサ 9 1 5 を有し、スイッチング用 T F T 9 1 1 のゲート電極は走査線 9 0 7 に、ソース・ドレイン電極の一方がデータ線 9 0 6 に接続されている。スイッチング用 T F T 9 1 1 のソース・ドレイン電極の残る一方は、液晶 9 1 4 およびコンデンサ 9 1 5 に接続されている。また、液晶素子 9 1 4 の残る一方の電極は対向電極 9 1 6 に接続され、コンデンサ 9 1 5 の残る一方の電極は容量線 9 0 8 に接続されている。

【 0 0 8 0 】

なお、容量線 9 0 8 を設けずに、コンデンサ 9 1 5 の電極の一方を対向電極 9 1 6 に接続しても構わない。さらに、コンデンサ 9 1 5 を設けなくても良い。また、スイッチング用 T F T 9 1 1 は n チャネル型 T F T でも p チャネル型 T F T でもよい。

【 0 0 8 1 】

本実施例は、実施例 1 および 2 のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例 1 で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例 2 の半導体装置に搭載しても良い。

【 0 0 8 2 】

(実施例 4)

本実施例では、本願発明を応用したアクティブマトリクス型液晶表示装置の上面図と断面図について説明を行う。

【0083】

図 10 (A) は、液晶の封入まで行った状態を示すアクティブマトリクス型液晶表示装置の上面図である。図 10 (A) において、第 1 の基板 1 0 0 1 上には、画素部 1 0 0 2、走査線側駆動回路 1 0 0 3、データ線側駆動回路 1 0 0 4、メモリ部 1 0 0 5、配線 1 0 0 6 が形成されている。第 1 の基板 1 0 0 1 と第 2 の基板 1 0 0 9 とはシール材 1 0 0 8 によって貼り合わされ、シール材 1 0 0 8 で囲まれた 2 つの基板の間には液晶が封入されている (図 10 (B) の液晶層 1 0 1 0 を参照)。

【0084】

配線 1 0 0 6 は、走査線側駆動回路 1 0 0 3、データ線側駆動回路 1 0 0 4、メモリ部 1 0 0 5、及び画素部 1 0 0 2 に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となる FPC (フレキシブルプリントサーキット) 1 0 0 7 から画像信号や制御信号を受け取る。

【0085】

次に、図 10 (A) を A-A' で切断した断面に相当する断面図を図 10 (B) に示す。なお、図 10 (A)、(B) では同一の部位に同一の符号を用いている。

【0086】

図 10 (B) において、第 1 の基板 1 0 0 1 上には画素部 1 0 0 2、走査線側駆動回路 1 0 0 3、配線 1 0 0 6 が形成されている。画素部 1 0 0 2 は液晶層に印加する電圧を制御するための TFT (スイッチング用 TFT という)、及びそのドレイン領域に電氣的に接続されたコンデンサ、画素電極等を含む複数の画素により形成されている (図示せず)。また、走査線側駆動回路 1 0 0 3 は n チャネル型 TFT と p チャネル型 TFT とを相補的に組み合わせた CMOS 回路を用いて形成されている。また、第 2 の基板上には、カラーフィルタ、貝柱スペーサ、オーバーコート層、対向電極等が形成されている。

【 0 0 8 7 】

図 1 0 (B) に示した液晶表示装置は、上述した第 1 の基板及び第 2 の基板をシール材 1 0 0 8 で貼り合わせ、第 1 の基板 1 0 0 1 と第 2 の基板 1 0 0 2 とシール材 1 0 0 8 で囲まれた領域内に液晶を注入し（液晶層 1 0 1 0 の形成）、配線 1 0 0 6 と F P C 1 0 0 7 を導電性材料 1 0 1 1 を用いて電氣的に接続したものである。

【 0 0 8 8 】

なお、液晶材料には公知の液晶材料を用いれば良い。2 つの基板の間隔は、第 2 の基板に設けられた貝柱スペーサによって決まるが、ネマチック液晶の場合には 3 ～ 8 [μm]、スメチック液晶の場合には 1 ～ 4 [μm] とする。また、シール材 1 0 0 8 の露呈部及び F P C 8 0 9 の一部を覆うように第 2 のシール材を設けてもよい。

【 0 0 8 9 】

なお、本実施例の構成は、実施例 1 ～ 3 のいずれの構成とも自由に組み合わせることが可能である。

【 0 0 9 0 】

(実施例 5)

本願発明は、スティックドライバを用いたアクティブマトリクス型液晶表示装置にも応用することができる。

【 0 0 9 1 】

図 1 1 (A) は、液晶の封入まで行った状態を示すアクティブマトリクス型液晶表示装置の上面図である。図 1 1 (A) において、第 1 の基板 1 1 0 1 上には、画素部 1 1 0 2、配線 1 1 0 6 及び引き出し線 1 1 1 0 が形成され、また、走査線側スティックドライバ 1 1 1 1 a、1 1 1 1 b 及びデータ線側スティックドライバ 1 1 1 2 a、1 1 1 2 b、1 1 1 2 c が実装されている。走査線側スティックドライバ 1 1 1 1 a、1 1 1 1 b は、走査線側駆動回路 1 1 0 3 a、1 1 0 3 b をそれぞれ有しており、データ線側スティックドライバ 1 1 1 2 a、1 1 1 2 b、1 1 1 2 c は、走査線側駆動回路とメモリ部（1 1 0 4 a、1 1 0 5 a）、（1 1 0 4 b、1 1 0 5 b）及び（1 1 0 4 c、1 1 0 5 c）をそれぞれ有し

ている。また、第1の基板1101と第2の基板1109とはシール材1108によって貼り合わされ、シール材1108で囲まれた2つの基板の間には液晶が封入されている（図11（B）の液晶層1113を参照）。

【0092】

配線1106は、走査線側スティックドライバ1111a、1111b、データ線側スティックドライバ1112a、1112b、1112c、及び画素部1102に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となるFPC（フレキシブルプリントサーキット）1107から画像信号や制御信号を受け取る。また引き出し線1110は、走査線側スティックドライバ1111a、1111bおよびデータ線側スティックドライバ1112a、1112b、1112cからの出力信号を画素部1102に入力するための配線である。

【0093】

次に、図11（A）をA-A'で切断した断面に相当する断面図を図11（B）に示す。なお、図11（A）、（B）では同一の部位に同一の符号を用いている。

【0094】

図11（B）において、第1の基板1101上には画素部1102、配線1106、引き出し線1110が形成され、走査線側スティックドライバ1111aが実装されている。

【0095】

このうち、2つの基板が貼り合わされている領域は、図10（B）示した断面図（実施例4参照）と同様、第1の基板1101と第2の基板1109がシール材1108によって張り合わせられ、その間には液晶層1113が形成されている。

【0096】

また、配線1106の一方の端とFPC1107とは異方性導電材で接着されている。異方性導電材は樹脂1115と表面にAuなどがメッキされた数十～数百[μm]径の導電性粒子1114から成り、導電性粒子1114により配線11

06とFPC1107とが電氣的に接続されている。

【0097】

なお、シール材1108の露呈部、FPC1107の一部、走査線側スティックドライバ1111a、1111bの一部、及びデータ線側スティックドライバ1112a、1112b、1112cの一部を覆うように第2のシール材を設けてもよい。

【0098】

ここで、スティックドライバとその実装方法について簡単に述べる。図11(B)には走査線側スティックドライバ1111aの断面図が示されており、走査線側駆動回路1103aと入出力端子1116を有する。そして、走査線側スティックドライバ1111aは、FPC1107と配線1106の接続方法と同様な方法によって実装されている。つまり、走査線側スティックドライバ1111aは異方性導電材で第1の基板1101に接着され、走査線側スティックドライバ1111aに設けられた入出力端子1116は、樹脂1114中に混入された導電性粒子1115により、引出線1110及び配線1106と電氣的に接続されている。

【0099】

上述した実装方法は、本実施例の半導体装置に実装されている全てのスティックドライバにも用いられる。また、スティックドライバの実装方法は図11(B)に示した方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

【0100】

なお、スティックドライバは、シリコン基板、SOI基板、絶縁表面を有する基板のいずれの基板上に形成されていても構わない。特に、スティックドライバが第2の基板1109と同じ厚さを有する場合、表示装置全体としての薄型化に寄与することができる点で好ましい。また、スティックドライバが第1の基板1101と同じ材料からなる場合、液晶表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはないという点で

好ましい。

【0101】

なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0102】

(実施例6)

本実施例では、本願発明をアクティブマトリクス型EL表示装置に応用した例について述べる。説明には図12を用いる。

【0103】

図12(A)はアクティブマトリクス型EL表示装置のブロック図である。図12(A)に示したアクティブマトリクス型EL表示装置は、画素1204がマトリクス状に配置された画素部1201と、データ線側駆動回路1202と、走査線側駆動回路1203とを有する。また、データ線側駆動回路1202にはデータ線1207が接続され、走査線側駆動回路1203には走査線1207が接続されている。電源供給線1208には所定の電位が与えられている。

【0104】

なお、画素部1201、データ線側駆動回路1202、走査線側駆動回路1203およびメモリ部1205は同一基板上に形成されていても良いし、データ線側駆動回路1202、メモリ部1205および走査線側駆動回路1203が、実施の形態で説明したスティックドライバによって画素部を形成する基板上に実装されていても良い。

【0105】

図12(B)は、画素部1201を構成する画素1204の回路図を示したものである。画素1204は、スイッチング用TFT1211、EL駆動用TFT1214、EL素子1216を有し、スイッチング用TFT1211のゲート電極は走査線1207に、ソース・ドレイン電極の一方がデータ線1206に接続されている。スイッチング用TFT1211のソース・ドレイン電極の残る一方は、EL駆動用TFT1214のゲート電極に接続されている。また、EL駆動用TFT1214のソース電極が電源供給線1208に、ドレイン電極がEL素

子 1 2 1 6 に接続されている。E L 素子 1 2 1 6 のもう一方の電極は対向電極 1 2 1 7 に接続されている。

【 0 1 0 6 】

なお、E L 駆動用 T F T 1 2 1 4 のゲート電極と電源供給線 1 2 0 8 の間にコンデンサを設けてもよい。また、E L 駆動用 T F T として n チャネル型 T F T を用いる。スイッチング用 T F T 1 2 1 1 は n チャネル型 T F T でも p チャネル型 T F T でもよい。

【 0 1 0 7 】

本実施例は、実施例 1 および 2 のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例 1 で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例 2 の半導体装置に搭載しても良い。

【 0 1 0 8 】

(実施例 7)

本実施例では、本願発明を応用したアクティブマトリクス型 E L 表示装置の上面図と断面図について説明を行う。

【 0 1 0 9 】

図 1 3 (A) は、E L 素子の封入まで行った状態を示すアクティブマトリクス型 E L 表示装置の上面図である。図 1 3 (A) において、基板 1 3 0 1 上には、画素部 1 3 0 2、走査線側駆動回路 1 3 0 3、データ線側駆動回路 1 3 0 4、メモリ部 1 3 0 5、配線 1 3 0 6 が形成されている。また、1 3 0 9 はカバー材、1 3 0 8 はシール材であり、シール材 1 3 0 8 で囲まれたカバー材 1 3 0 9 と基板 1 3 0 1 との間の領域には充填材 1 3 1 0 (図 1 3 (B) 参照) が設けられている。

【 0 1 1 0 】

配線 1 3 0 6 は、走査線側駆動回路 1 3 0 3、データ線側駆動回路 1 3 0 4、メモリ部 1 3 0 5、及び画素部 1 3 0 2 に入力される信号を伝達するための接続配線であり、外部機器との接続端子となる F P C (フレキシブルプリントサーキット) 1 3 0 7 から画像信号や制御信号を受け取る。

【 0 1 1 1 】

ここで、図 1 3 (A) を A - A' で切断した断面に相当する断面図を図 1 3 (B) に示す。なお、図 1 3 (A)、(B) では同一の部位に同一の符号を用いている。

【0 1 1 2】

図 1 3 (B) において、基板 1 3 0 1 上には画素部 1 3 0 1 および走査線側駆動回路 1 3 0 3 が形成されている。画素部 1 3 0 1 はスイッチング用 T F T、E L 駆動用 T F T、及び画素電極等を含む複数の画素により形成される。各画素は画素電極の下にカラーフィルタを有していてもよい。画素電極上には、開口部を有するように絶縁膜が形成され、その上に E L 層、及び対向電極が形成される。対向電極は全ての画素に共通であり、配線 1 3 0 6 を経由して F P C 1 3 0 7 に電氣的に接続されている。また、走査線側駆動回路 1 3 0 3 は n チャンネル型 T F T と p チャンネル型 T F T とを相補的に組み合わせた C M O S 回路を用いて形成される。

【0 1 1 3】

図 1 3 (B) に示した E L 表示装置は、上述した基板 1 3 0 1 にシール材 1 3 0 8 を形成し、スペーサを散布後カバー材 1 3 0 9 と貼り合わせ、基板 1 3 0 1 とカバー材 1 3 0 9 とシール材 1 3 0 8 で囲まれた領域内に充填材 1 1 3 1 0 を注入したものである。配線 1 3 0 6 と F P C 1 3 0 7 とは導電性材料 1 3 1 1 を用いて電氣的に接続されている。

【0 1 1 4】

なお、E L 層 4 0 2 9 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。E L 材料として有機材料だけでなく無機材料を用いることができる。カバー材 1 3 0 9 は、基板 1 3 0 1 と同じ材料からなる板を用いればよい。また、シール材 1 3 0 8 の露呈部及び F P C 1 3 0 7 の一部を覆うように第 2 のシール材（図示せず）を設けてもよい。

【0 1 1 5】

なお、本実施例の構成は、実施例 1、2、6 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 1 6 】

(実施例 8)

本願発明は、スティックドライバを用いたアクティブマトリクス型 E L 表示装置にも応用することができる。

【 0 1 1 7 】

図 1 4 (A) は、E L 素子の封入まで行った状態を示すアクティブマトリクス型 E L 表示装置の上面図である。図 1 4 (A) において、基板 1 4 0 1 上には、画素部 1 4 0 2、配線 1 4 0 6 及び引き出し線 1 4 1 0 が形成され、また、走査線側スティックドライバ 1 4 1 1 a、1 4 1 1 b 及びデータ線側スティックドライバ 1 4 1 2 a、1 4 1 2 b、1 4 1 2 c が実装されている。走査線側スティックドライバ 1 4 1 1 a、1 4 1 1 b は、走査線側駆動回路 1 4 0 3 a、1 4 0 3 b をそれぞれ有しており、データ線側スティックドライバ 1 4 1 2 a、1 4 1 2 b、1 4 1 2 c は、走査線側駆動回路とメモリ部 (1 4 0 4 a、1 4 0 5 a)、(1 4 0 4 b、1 4 0 5 b) 及び (1 4 0 4 c、1 4 0 5 c) をそれぞれ有している。また、1 4 0 9 はカバー材、1 4 0 8 はシール材であり、シール材 1 4 0 8 で囲まれたカバー材と基板との間の領域には充填材 1 4 1 0 (図 1 4 (B) 参照) が設けられている。

【 0 1 1 8 】

配線 1 4 0 6 は、走査線側スティックドライバ 1 4 1 1 a、1 4 1 1 b、データ線側スティックドライバ 1 4 1 2 a、1 4 1 2 b、1 4 1 2 c、及び画素部 1 4 0 2 に入力される信号を伝達するための接続配線であり、外部の半導体装置との接続端子となる F P C (フレキシブルプリントサーキット) 1 4 0 7 から画像信号や制御信号を受け取る。また引き出し線 1 4 1 0 は、走査線側スティックドライバ 1 4 1 1 a、1 4 1 1 b およびデータ線側スティックドライバ 1 4 1 2 a、1 4 1 2 b、1 4 1 2 c からの出力信号を画素部 1 4 0 2 に入力するための配線である。

【 0 1 1 9 】

次に、図 1 4 (A) を A - A' で切断した断面に相当する断面図を図 1 4 (B) に示す。なお、図 1 4 (A)、(B) では同一の部位に同一の符号を用いてい

る。

【0120】

図14 (B)において、基板1401上には画素部1402、配線1406、引き出し線1410が形成され、走査線側スティックドライバ1411aが実装されている。

【0121】

このうち、2つの基板が貼り合わされている領域は、図13 (B)に示した断面図(実施例7)と同様、基板1401とカバー材1409がシール材によって張り合わせられ、その間には充填材1413が充填されている。なお、カバー材1409としては、基板1401と同じ材料の板を用いるとよい。

【0122】

また、配線1406の一方の端とFPC1407とは異方性導電材で接着されている。異方性導電材は樹脂1415と表面にAuなどがメッキされた数十～数百[μm]径の導電性粒子1414から成り、導電性粒子1414により配線1406とFPC1407とが電氣的に接続されている。

【0123】

なお、シール材1408の露呈部、FPC1407の一部、走査線側スティックドライバ1411a、1411bの一部、及びデータ線側スティックドライバ1412a、1412b、1412cの一部を覆うように第2のシール材を設けてもよい。

【0124】

スティックドライバの実装方法については、実施例5で説明した内容と全く同様な方法を用いればよい。図14 (B)には走査線側スティックドライバ1411aの断面図が示されており、走査線側駆動回路1403aと入出力端子1416を有する。また、走査線側スティックドライバ1411aは異方性導電材で基板1401に接着され、走査線側スティックドライバ1411aに設けられた入出力端子1416は、樹脂1414中に混入された導電性粒子1415により、引出線1410及び配線1406と電氣的に接続されている。

【0125】

上述した実装方法は本実施例の半導体装置に実装されている全てのスティックドライバにも用いられる。また、スティックドライバの実装方法は図 1 4 (B) に示した方法に限定されるものではなく、ここで説明した以外にも公知の COG 方法やワイヤボンディング方法、或いは TAB 方法を用いることが可能である。

【 0 1 2 6 】

なお、スティックドライバは、シリコン基板、SOI 基板、絶縁表面を有する基板のいずれの基板上に形成されても構わない。特に、スティックドライバがカバー材と同じ厚さを有する場合、表示装置全体としての薄型化に寄与することができる点で好ましい。また、スティックドライバが基板 1 4 0 1 と同じ材料からなる場合、EL 表示装置に温度変化が生じても熱応力が発生することなく、TFT で作製された回路の特性を損なうことはないという点で好ましい。

【 0 1 2 7 】

なお、本実施例の構成は、実施例 1、2、6 のいずれの構成とも自由に組み合わせることが可能である。

【 0 1 2 8 】

(実施例 9)

本願発明は、パッシブマトリクス型の表示装置に応用することも可能である。

【 0 1 2 9 】

図 1 5 (A) はパッシブマトリクス型の表示装置のブロック図である。図 1 5 (A) に示したパッシブマトリクス型の表示装置は、画素部 1 5 0 1 と、データ線側駆動回路 1 5 0 2 と、走査線側駆動回路 1 5 0 3 と、メモリ部 1 5 0 5 とを有する。画素部は 1 5 0 1 は、データ線側駆動回路 1 5 0 2 に接続されているデータ線 1 5 0 6 と、走査線側駆動回路 1 5 0 3 に接続されている走査線 1 5 0 7 と、がクロスして形成される。

【 0 1 3 0 】

なお、データ線と走査線とは液晶層または自発光層を挟んで上下に形成されており、液晶表示装置の場合は、第 1 の基板と第 2 の基板上にそれぞれ形成され、EL 表示装置の場合は、基板上にデータ線、EL 層、走査線が積層して形成される。

【 0 1 3 1 】

データ線側駆動回路 1 5 0 2 と走査線側駆動回路 1 5 0 3 とメモリ部 1 5 0 5 とは、画素部を形成する基板上に、直接形成されても良いし、スティックドライバによって実装されて良い。

【 0 1 3 2 】

図 1 5 (B) には、一例として、スティックドライバを用いたパッシブマトリクス型液晶表示装置を示す。図 1 5 (B) において、第 1 の基板 1 5 1 1 及び第 2 の基板 1 5 1 2 にはそれぞれデータ線側スティックドライバ 1 5 1 4、走査線側スティックドライバ 1 5 1 5 が実装されている。画素領域 1 5 1 3 は、第 1 の基板側 1 5 1 1 に形成された複数のデータ線と、第 2 の基板側に形成された複数の走査線とが交差して形成される。

【 0 1 3 3 】

図示しないが、第 1 の基板に実装された走査線側スティックドライバは、走査線側駆動回路を有しており、走査線及び配線を経由して F P C に接続されている。また、第 2 の基板上に実装されたデータ線側スティックドライバは、データ線側駆動回路とメモリ部とを有しており、データ線及び配線を経由して F P C に接続されている。液晶層は、第 1 の基板と第 2 の基板との間に形成されている。

【 0 1 3 4 】

スティックドライバを形成する基板は、画素部を形成する基板と同じ厚さと材質を有するものであることが好ましい。勿論、シリコン基板、S O I 基板、及び絶縁表面を有する基板のいずれの基板上に形成されていても構わない。

【 0 1 3 5 】

なお、本実施例の構成は、実施例 1、2 のいずれの構成を組み合わせても良い。つまり、本実施例の半導体表示装置に実施例 1 で説明した制御回路を設けても良いし、本実施例の半導体表示装置を実施例 2 の半導体装置に搭載しても良い。

【 0 1 3 6 】

(実施例 1 0)

本願発明において、メモリ部を構成するメモリは、S R A M、D R A M、及び

EEPROMのいずれであっても構わない。本実施例では、メモリ部のブロック図と基本的な動作に関する説明を行う。

【0137】

図16は、本願発明を構成するメモリ部のブロック図の一例である。図16において、メモリ部は、それぞれ1ビットのデータを記憶することができるメモリセルがマトリクス状に配置されたメモリセルアレイ1602、Xアドレスデコーダ1603、Yアドレスデコーダ1604、マルチプレクサ1606、書き込み回路1605、読み出し回路1607、および他の周辺回路1608、1609によって構成される。メモリ部は、SRAM、DRAM、及びEEPROMのいずれであってもよく、用途に応じたメモリセル、書き込み回路、読み出し回路、周辺回路等が選ばれる。Xアドレスデコーダ1603とマルチプレクサ1606には複数のビット線1611が接続されており、Yアドレスデコーダ1604には複数のワード線1610が接続されている。また、各メモリセルはワード線とビット線に接続されている。他の周辺回路には、アドレスバッファ回路、コントロールロジック回路、冗長回路、等が含まれ、必要に応じて設けられる。また、読み出し回路には、センスアンプが設けられることが好ましい。

【0138】

各メモリセルに関しては、実施例11～13を参照することができる。また、その他の回路に関しては、公知の回路構造を用いれば良い。

【0139】

次に、メモリ部の基本動作について述べる。まず、メモリ部の外部からメモリセルのアドレス情報が入力されると、Xアドレスデコーダ及びYアドレスデコーダによって、一本のワード線と一本のビット線が選択され、一つのメモリセルが選択される。また同時に、メモリ部の外部からの制御信号によって、読み出し動作と書き込み動作のいずれかが選択される。読み出し動作を行う場合には、選択されたメモリセルに接続されるビット線が読み出し回路と接続され、外部に出力される。また、書き込み動作を行う場合には、選択されたメモリセルに接続されるビット線が書き込み回路と接続され、入力データがビット線を介してメモリセルに書き込まれる。

【 0 1 4 0 】

上述した動作は、SRAM、DRAM、及びEEPROMのいずれのメモリにおいてもおよそ共通である。なお、メモリの種類によっては各メモリセルにビット線対が接続される場合もある。この場合、メモリセルの選択は、一本のワード線と一对のビット線の選択によって行われる。また、EEPROMにおいては、書き込み動作と読み出し動作の他に、消去動作が行われる。各メモリに個別の読み出し動作や書き込み動作、或は消去動作に関しては、それぞれの回路構造に的した公知の動作方法を用いると良い。

【 0 1 4 1 】

本願発明において、メモリ部は画素部を形成する基板上に形成されるか、ステイックドライバを構成する基板上に形成される。メモリ部は実装される形態に応じて、バルクシリコン基板、SOI基板、及び絶縁表面を有する基板のいずれの基板上に形成されても構わない。

【 0 1 4 2 】

本実施例は、実施例1～9のいずれの構成と組み合わせても良い。

【 0 1 4 3 】

(実施例11)

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及びEEPROMのいずれであっても構わない。本実施例では、メモリ部としてSRAMを用いる場合について述べる。

【 0 1 4 4 】

SRAMはDRAMやEEPROMと比較して、書き込み速度が非常に速いという特性を有する。また、入力されたデータは電源を切らない限り、次のデータが入力されるまで保持されるため、DRAMで必要とされるリフレッシュ動作は必要ない。また、SRAMはトランジスタのみを用いて形成することが可能なため、作製の工程を増加することなく、SRAMを画素部および画素部の駆動回路と一体形成することが可能である。

【 0 1 4 5 】

図17(A)、(B)に、SRAMのメモリセルの一例を示す。

【 0 1 4 6 】

図 1 7 (A) において、メモリセルは、2つのpチャネル型トランジスタ1701、1703と2つのnチャネル型トランジスタ1702、1704とを有するフリップフロップ1707と2個のスイッチング用トランジスタ1705、1706とからなる。

【 0 1 4 7 】

フリップフロップ1707において、pチャネル型トランジスタ1701、1703のソース領域は高電圧側のV_{dd}に、nチャネル型トランジスタ1702、1704のソース領域は低電圧側のV_{ss}に、それぞれ接続されている。pチャネル型トランジスタ1701とnチャネル型トランジスタ1702は対になっており、pチャネル型トランジスタ1703とnチャネル型トランジスタ1704は対になっている。対になったpチャネル型トランジスタとnチャネル型トランジスタは、そのドレイン領域が互いに接続されている。また対になったpチャネル型トランジスタとnチャネル型トランジスタは、そのゲート電極が互いに接続されている。そして互いに一方の対のpチャネル型及びnチャネル型トランジスタのドレイン領域が、もう一方の対のpチャネル型及びnチャネル型トランジスタのゲート電極と電氣的に接続されている。そしてpチャネル型1701とnチャネル型トランジスタ1702のドレイン領域（電位をV₁とする）はスイッチング用トランジスタ1705のソース・ドレイン領域の一方に、pチャネル型1703とnチャネル型トランジスタ1704のドレイン領域（電位をV₂とする）はスイッチング用トランジスタ1706のソース・ドレイン領域の一方に接続されている。

【 0 1 4 8 】

フリップフロップ1707は、電位V₁とV₂が反転した電位となるように設計されている。つまり、電位V₁がV_{dd}である場合には、電位V₂はV_{ss}となり、電位V₂がV_{ss}である場合には、電位V₁はV_{dd}となる。

【 0 1 4 9 】

そして、メモリセルに接続されるワード線Wとビット線対（B₁、B₂）が選択されると、スイッチング用トランジスタ1705と1706がオンの状態とな

り、書き込み時には、ビット線対 (B 1、B 2) に入力される信号がフリップフロップ 1 7 0 7 に書き込まれ、読み出し時には、フリップフロップ 1 7 0 7 の電位 V_1 と V_2 がビット線対 (B 1、B 2) を経て読み出される。

【 0 1 5 0 】

次に、図 1 7 (A) に示したメモリセルとは異なるメモリセルを図 1 7 (B) に示す。図 1 7 (B) において、メモリセルは 2 つの n チャネル型トランジスタ 1 7 1 1、1 7 1 3 と 2 つの抵抗 1 7 1 2、1 7 1 4 とを有するフリップフロップ 1 7 1 7 と、2 個のスイッチング用トランジスタ 1 7 1 5、1 7 1 6 からなる。

【 0 1 5 1 】

フリップフロップ 1 7 1 7 において、n チャネル型トランジスタ 1 7 1 1、1 7 1 3 のドレイン領域は抵抗 1 7 1 2、1 7 1 4 を介して高電圧側の V_{dd} に、ソース領域は低電圧側の V_{ss} にそれぞれ接続されている。n チャネル型トランジスタのドレイン領域は、互いに他の n チャネル型トランジスタのゲート電極と電氣的に接続されている。そして n チャネル型トランジスタ 1 7 1 1 のドレイン領域 (電位を V_3 とする) はスイッチング用トランジスタ 1 7 1 5 のソース・ドレイン領域の一方に、n チャネル型トランジスタ 1 7 1 3 のドレイン領域 (電位を V_4 とする) はスイッチング用トランジスタ 1 7 1 6 のソース・ドレイン領域の一方に接続されている。

【 0 1 5 2 】

フリップフロップ 1 7 1 7 は、電位 V_3 と V_4 とが反転した電位となるように設計されている。つまり、電位 V_3 が V_{dd} である場合には、電位 V_4 は V_{ss} となり、電位 V_4 が V_{ss} である場合には、電位 V_3 は V_{dd} となる。

【 0 1 5 3 】

そして、メモリセルに接続されるワード線 W とビット線対 (B 1、B 2) が選択されると、スイッチング用トランジスタ 1 7 0 5 と 1 7 0 6 がオンの状態となり、書き込み時には、ビット線対 (B 1、B 2) に入力される信号がフリップフロップ 1 7 1 7 に書き込まれ、読みだし時には、フリップフロップ 1 7 1 7 の電位 V_1 と V_2 がビット線対 (B 1、B 2) に読み出される。

【 0 1 5 4 】

なお、SRAMのメモリセルは、図18に示したものに限られるわけではない。他の公知のSRAMのメモリセルであっても構わない。

【 0 1 5 5 】

本実施例は、実施例1～10のいずれの構成と組み合わせても良い。

【 0 1 5 6 】

(実施例12)

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及びEEPROMのいずれであっても構わない。本実施例では、メモリ部としてDRAMを用いる場合について述べる。

【 0 1 5 7 】

DRAMは、後述するようにメモリセルが一つのトランジスタと一つのキャパシタからなるため、SRAMと比較して小面積のメモリセルを実現することができる。その結果、SRAMと比して大容量かつ低コストのメモリを実現することができる。また、動作速度は、SRAMには劣るが、EEPROMよりも高速動作が可能である。DRAMはトランジスタとキャパシタを用いて形成することが可能なため、キャパシタの形成プロセスを加えるだけで、DRAMを画素部および画素部の駆動回路と一体形成することが可能である。

【 0 1 5 8 】

図18に、DRAMのメモリセルの一例を示す。図18において、メモリセルは、電荷を蓄えるためのキャパシタ1802と、電荷の充放電を制御するスイッチング用トランジスタ1801からなる。スイッチング用トランジスタ1801のゲート電極はワード線Wに、ソース・ドレイン領域の一方はビット線Bに、ソース・ドレイン領域の残る一方はキャパシタ1802に接続されている。キャパシタ1802の残る一方の電極には基準電位が与えられている。

【 0 1 5 9 】

DRAMは、メモリセルを構成するキャパシタに電荷がある状態とない状態によって、1ビットの情報を格納する。データの書き込みは、ワード線Wに接続されるスイッチング用トランジスタ1801をオンの状態として、ビット線Bの電

位を高電位または低電位とすることで、メモリセルのキャパシタ 1 8 0 2 に蓄積される電荷量を制御する。一方、データの読み出しは、ワード線 W に接続されるスイッチング用トランジスタをオンの状態 1 8 0 1 として、メモリセルのキャパシタ 1 8 0 2 の容量とビット線 B の寄生容量とを再分配させ、ビット線 B の電位の変化を、センスアンプを有する読み出し回路で検出することによって読み出す。

【 0 1 6 0 】

なお、DRAMでは、スイッチング用 T F T のオフ電流によってキャパシタに蓄積された電荷は短時間のうちに消失してしまう。DRAMではこれを防ぐために、一定期間毎に読み出しを行い、再書き込みを行うリフレッシュ動作が必要となる。

【 0 1 6 1 】

なお、DRAMを構成するメモリセルの構造（特にキャパシタの構造）は、公知の構造を用いればよい。

【 0 1 6 2 】

本実施例は、実施例 1 ～ 1 0 のいずれの構成と組み合わせても良い。

【 0 1 6 3 】

（実施例 1 3 ）

本願発明において、メモリ部を構成するメモリは、SRAM、DRAM、及びEEPROMのいずれであっても構わない。本実施例では、メモリ部としてEEPROMを用いる場合について述べる。

【 0 1 6 4 】

EEPROMは、SRAMやDRAMと異なり、不揮発性のメモリである。このため、EEPROMを本願発明におけるメモリ部に用いた場合には、電源を切った状態においても記憶を消失することはなく、電源を切る以前の静止画像を再表示することが可能である。

EEPROMは、書き込み動作が遅いという欠点があるが、メモリセルを一つのメモリトランジスタによって構成することができる。その結果、SRAMやDRAMと比べてメモリセルの面積を小さくすることができ、記憶容量の大きなメモ

リを実現することが可能となる。

【 0 1 6 5 】

EEPROMはメモリトランジスタによって形成されるが、代表的なメモリトランジスタとしては、フローティングゲート電極を有するメモリトランジスタが挙げられる。この場合、作製工程においては、フローティングゲート電極を形成する工程を加えることによって、EEPROMを画素部および画素部の駆動回路と一体形成することが可能である。

【 0 1 6 6 】

EEPROMは、1ビット毎の動作が可能なフル機能EEPROMと、消去動作をブロック毎に行うフラッシュメモリとに分類される。フラッシュメモリはさらに、NOR型、NAND型といったいくつかの種類に分けられる。フル機能EEPROMはメモリセルは2つのメモリトランジスタにより構成されるため大容量化には適さないが、高機能を有する。一方、フラッシュメモリはメモリセルが1つのメモリトランジスタによって構成されるため、高い集積密度を実現することができる。勿論、本願発明において、メモリ部にEEPROMを用いる場合には、上述したEEPROMを含む、公知のいずれのEEPROMを用いても構わない。

【 0 1 6 7 】

図19には、EEPROMの一例として、NOR型フラッシュメモリのメモリセルの回路図を示す。図19において、メモリセルは一つのメモリトランジスタ1901によって構成される。メモリトランジスタのコントロールゲート電極はワード線Wに接続されており、ソース・ドレイン領域の一方はビット線Bに接続されている。ソース・ドレイン領域の残る一方には電位V0が与えられている。メモリトランジスタ1901はnチャネル型であってもpチャネル型であっても構わないが本実施例では、nチャネル型とする。

【 0 1 6 8 】

EEPROMは、メモリセルを構成するメモリトランジスタのフローティングゲート電極に電荷がある状態とない状態によって、1ビットの情報を格納する。以下に、基本的な書き込み、読み出し、及び消去動作について述べる。

【0169】

メモリトランジスタ1901にデータを書き込む場合は、電位V0をGNDとし、ビット線Bとワード線Wに、それぞれ正の高電圧（例えば20[V]）を印加する。その結果、インパクトイオン化によって発生したホットエレクトロンがフローティングゲート電極に注入され書き込みが行われる。メモリトランジスタのしきい値電圧は、フローティングゲート電極に蓄積された電荷量に依存して変化する。

【0170】

メモリトランジスタ1901に記憶されたデータを読み出す場合には、電位V0をGNDとし、ワード線Wに所定の電圧（後述）を印加する。そして、メモリトランジスタ1901のフローティングゲート電極に電荷が蓄積されている場合と蓄積されていない場合のしきい値電圧に対応して、メモリセルに記憶されているデータをビット線Bから読み出す。

【0171】

なお、所定の電圧は、消去された状態（フローティングゲート電極に電子が蓄積されていない状態）におけるしきい値電圧と書き込まれた状態（フローティングゲート電極に電子が蓄積された状態）におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリTFTが0.5[V]以上3.5[V]以下のしきい値電圧を有し、書き込まれた状態のメモリTFTが、6.5[V]以上のしきい値電圧を有する場合には、所定の電圧として例えば5[V]を用いることができる。

【0172】

最後に、メモリトランジスタ1901の消去を行う場合、電位V0およびワード線WをGNDに落す。そして、ビット線Bに正の高電圧（例えば20[V]）を印加すると、メモリトランジスタ1901において、フローティングゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ注入され、記憶されていたデータが消去される。

【0173】

なお、本実施例は、実施例1～10のいずれの構成と組み合わせても良い。

【 0 1 7 4 】

(実施例 1 4)

本願発明では、メモリ部を複数のメモリによって構成してもよい。本実施例では、メモリ部をSRAMとフラッシュメモリで構成した半導体表示装置の説明を行う。

【 0 1 7 5 】

SRAMはDRAMやEEPROMと比較して、高速なデータの書き込みを行うことができる。一方、フラッシュメモリはSRAMやDRAMと比較して、高い集積度を実現することができる。本実施例では、このようなメモリの特徴を活かしてSRAMをキャッシュメモリとして、またフラッシュメモリをメインメモリとして用いる。

【 0 1 7 6 】

図20に、本実施例の半導体表示装置のブロック図を示す。本実施例の半導体表示装置2001には、フラッシュメモリ1203とSRAM1202とからなるメモリ部2009と、画素部2007と、走査線側駆動回路2006と、データ線側駆動回路2005と、メモリ制御回路2002と、が設けられている。また、画像信号および様々な制御信号等は、FPC（フレキシブルプリントサーキット）2008を経由して送られてくる。

【 0 1 7 7 】

本実施例において、メモリ制御回路2002は、SRAM2003およびフラッシュメモリ2004に画像データを格納したり読み出したりという動作を制御する。半導体表示装置2001の外部の制御回路によってメモリ部2009を制御する場合には、メモリ制御回路2002を設けなくてもよい。

【 0 1 7 8 】

本実施例の半導体装置2001は、メモリ部2009と、画素部2007と、走査線側駆動回路2006と、データ線側駆動回路2005と、メモリ制御回路2002と、を同一基板上に一体形成する形態でもよいし、メモリ部2009とデータ線側駆動回路2005とメモリ制御回路2002とを一体形成したスティックドライバ、及び走査線側駆動回路2006を備えたスティックドライバを画素

を形成する基板上に実装する形態でも良い。

【0179】

まず、画像を表示する場合について述べる。本実施例の半導体表示装置2001において、外部から送られてきた画像信号と制御信号はFPC2008を経由してメモリ制御回路2002に入力される。そして、画像信号はまずSRAM2003に格納された後、再び読み出され、データ線側駆動回路2005とフラッシュメモリ2004へ送られる。そして、画像信号は画素部2007において表示されるとともに、フラッシュメモリ2004において格納される。なお、フラッシュメモリ2004への書き込み方法としては、多ビットの同時書き込みを行い、書き込みの高速化を図ることが好ましい。

【0180】

静止画像を表示する場合には、半導体表示装置2001の外部からは制御信号だけがFPC2008を経由してメモリ制御回路2002に入力される。そして、メモリ制御回路2002から出力された制御信号に従って、フラッシュメモリに格納された画像データを画素部において表示する。

【0181】

このように、SRAMをキャッシュメモリとすることによって、書き込み速度の遅いフラッシュメモリをにおいても画像データの格納を行うことが可能となる。また、集積度の高いフラッシュメモリをメインメモリとすることによって、SRAMやDRAMを用いた場合よりも多くの画像データを格納することが可能となる。

【0182】

例えば、SRAMを1[kbit]～1[Mbit]、フラッシュメモリを1[Mbit]～10[Gbit]などとするとよい。特に、大容量のフラッシュメモリを設ける場合には、メモリ部に格納した画像データによって、短時間の動画像を表示することも可能となる。

【0183】

なお、本実施例の構成は、実施例1～13のいずれの構成とも自由に組み合わせて実施することができる。

【 0 1 8 4 】

(実施例 1 5)

本実施例では、本願発明における画素部の駆動回路について説明する。

【 0 1 8 5 】

図 2 1 は、走査線側駆動回路の回路構成の一例を示したものである。図 2 1 において、走査線側駆動回路は、信号の入力側からシフトレジスタ回路 2 1 0 1、レベルシフタ回路 2 1 0 2、バッファ回路 2 1 0 3 が設けられている。シフトレジスタ回路 2 1 0 1 の電源電圧は 3 ～ 5 [V] で動作させるが、バッファ回路 2 1 0 2 はメモリセルを構成するスイッチング用 T F T を駆動できる電圧で動作させる。例えば、ポリシリコン膜を用いたアクティブマトリクス型液晶表示装置では 1 6 [V] 程度、アモルファスシリコン膜を用いたアクティブマトリクス型液晶表示装置では 2 0 ～ 3 0 [V] 程度、ポリシリコン膜を用いたアクティブマトリクス型 E L 表示装置では 1 0 [V] 程度が必要となる。

【 0 1 8 6 】

従って、レベルシフタ回路 2 1 0 2 より後段の回路では、T F T の耐圧を高める必要がある。具体的には、チャネル長は 5 [μ m] 以上とし、ゲート電極と重なる L D D 領域を設ける構造とすることが好ましい。また、ゲート絶縁膜の厚さも 1 0 0 ～ 2 0 0 [nm] の厚さで形成することが望ましい。この他、T F T の耐圧を高めるために、複数のゲート電極を設けたマルチゲート構造としても良い。

【 0 1 8 7 】

一方、図 2 2 は、データ線側駆動回路の回路構成の一例を示したものである。図 2 2 において、データ線側駆動回路は、信号の入力側からシフトレジスタ回路 2 2 0 1、ラッチ回路 2 2 0 2、2 2 0 3、レベルシフタ回路 2 2 0 4、D / A 変換回路 2 2 0 5 が設けられている。本実施例では、3 ビットのデジタル信号を入力し、D / A 変換回路 2 2 0 5 によって、アナログ信号に変換された画像信号が出力される。シフトレジスタ回路 2 2 0 1 やラッチ回路 2 2 0 2、2 2 0 3 は 3 ～ 5 [V] で動作させるが、D / A 変換回路 2 2 0 5 はそれぞれの半導体表示装置に適した駆動電圧で動作させると良い。例えば、アクティブマトリクス型液晶表示装置では 1 0 ～ 1 5 [V]、アクティブマトリクス型 E L 表示装置では 1 0 [V]

程度で駆動するとよい。

【0188】

データ線側駆動回路では、レベルシフト回路2204より後段の回路においても耐圧をそれほど考慮する必要はないが、10 [MHz]以上の高速動作が要求される。高速動作を実現するためには、チャネル長は0.5～5 [μm]、ゲート絶縁膜の厚さを40～100 [nm]、好ましくは75 [nm]とすることが望ましい。また、ゲート電極と重なるLDD領域の長さは0.5～1 [μm]で形成し、寄生容量の影響を極力低減しておく良い。

【0189】

なお、本実施例は、実施例1～14と組み合わせて実施することが可能である。

【0190】

(実施例16)

本実施例では、本願発明の半導体装置を絶縁表面を有する基板上に作製する方法について説明する。本願発明には、画素部と画素部の駆動回路とメモリ部とを同一基板上に一体形成したアクティブマトリクス型の表示装置（EL表示装置または液晶表示装置）、パッシブマトリクス型の表示装置（EL表示装置または液晶表示装置）等が含まれるが、本実施例では、アクティブマトリクス型のEL表示装置の画素部、画素部の駆動回路およびSRAMからなるメモリ部を、絶縁表面を有する基板上に同時に作製する方法について説明する。

【0191】

説明を簡単にするために、画素部を代表して、画素を構成するスイッチング用TFT（nチャネル型TFT）とEL駆動用TFT（pチャネル型TFT）を、画素部の駆動回路、SRAMのメモリセルおよびその駆動回路を代表して、CMOS回路を構成するpチャネル型TFTとnチャネル型TFTを、同時に作製することにする。また、本実施例では、画素部における画素電極の作製以降の工程については省略する。EL表示装置における画素電極の作製以降の工程については、公知の作製方法を用いれば良い。

【0192】

なお、本実施例を基にすれば、本願発明の他の形態の作製方法も容易に想定することができる。例えば、液晶表示装置の画素はスイッチング用 T F T によって構成されるが、このスイッチング用 T F T は、E L 表示装置の画素を構成するスイッチング用 T F T と同様の作製工程を用いることができる。また、絶縁表面を有する基板を用いたスティックドライバは、本実施例において、画素部を除いた作製工程によって作製することができる。この他、抵抗素子を含む S R A M や D R A M において必要となる容量素子や抵抗素子の作製方法も、本実施例から容易に想定できるものである。なお、フラッシュメモリのメモリセルを構成するメモリ T F T の作製方法については、実施例 1 7 を参照することができる。

【 0 1 9 3 】

まず、図 2 3 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm] (好ましくは 1 0 0 ~ 1 5 0 [nm]) の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造としても良い。

【 0 1 9 4 】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて結晶化した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【 0 1 9 5 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続

発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100～400 [mJ/cm²] (代表的には200～300 [mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz]とし、レーザーエネルギー密度を300～600 [mJ/cm²] (代表的には350～500 [mJ/cm²])とする。そして幅100～1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98 [%]として行う。

【0196】

ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0197】

そして、ゲート絶縁膜5007上にゲート電極(本実施例では、2層構造)を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで100～300 [nm]の厚さに形成する。

【0198】

Ta膜は、Taをターゲットとしてスパッタ法で形成する。この場合、Arに

適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は $20 [\mu \Omega \text{cm}]$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180 [\mu \Omega \text{cm}]$ 程度でありゲート電極とするには不向きである。Taの α 相に近い結晶構造をもつ窒化タンタルを $10 \sim 50 [\text{nm}]$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることができる。

【0199】

W膜は、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン (WF_6) を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。Wのターゲットには純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 [\mu \Omega \text{cm}]$ を実現することができる。

【0200】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、この材料に限定されるものではなく、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を用いることができる。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル (Ta_N) で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル (Ta_N) で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル (Ta_N) で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0201】

次に、図23 (B) に示すように、レジストによるマスク5010を形成し、第1のエッチング処理を行う。エッチング方法は限定されないが、本実施例では

ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 [W] の RF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合には W 膜及び Ta 膜とも同程度にエッチングされる。

【0202】

第1のエッチング処理では、第1の導電層及び第2の導電層の端部がテーパ形状となるように加工する。テーパ部の角度は $15 \sim 45^\circ$ とする。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20 [%] 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は 2～4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20～50 [nm] 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 5011～5015 (第1の導電層 5011a～5015a と第2の導電層 5011b～5015b) を形成する。なお、ゲート絶縁膜において、第1の形状の導電層 5011～5016 で覆われない領域は 20～50 [nm] 程度エッチングされ薄くなる。

【0203】

次に、第1のドーピング処理を行い n 型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法を用いれば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を 60～100 [keV] として行う。この場合、導電層 5011～5015 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 5017～5025 が形成される。n 型を付与する不純物元素としては、15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるとよい。第1の不純物領域 5017～5025 には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲で n 型を付与する不純物元素 (本実施例ではリン (P)) を添加する。

【0204】

次に、第2のエッチング処理を行う。本実施例では、エッチングガスには CF_4 と Cl_2 と O_2 とを用い、ICP装置によるエッチングを行う。第2のエッチング処理ではW膜を選択的にエッチングし、導電層が、図10(C)に示す第2の形状の導電層5026～5030（第1の導電層5026a～5030aと第2の導電層5026b～5030b）となるようにする。このとき、ゲート絶縁膜のうち第2の形状の導電層5026～5030で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなる。

【0205】

そして、図24(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーズ量で行い、図23(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5032～5036が形成される。この第2の不純物領域5032～5036に添加されたリン(P)の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有してはいるが、ほぼ同程度の濃度となっている。

【0206】

図24(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a～5030aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5041（第1の導電層5037a～5041aと第2の導電層5037b～5041b）を形成する。このとき、ゲート絶縁膜のうち第3の形状の導電層5037～5041で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなる。

【0207】

第3のエッチング処理によって、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第4の不純物領域5032b～5036bとが形成される。

【0208】

そして、図24(C)に示すように、pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第5の不純物領域5052～5063を形成する。第2の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、5005はレジストマスク5200で全面を被覆しておく。不純物領域5052～5063にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0209】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。

【0210】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファースアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、やラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法は酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うとよい。本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5041に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0211】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～

1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 2 1 2 】

次いで、図 2 5 (A) に示すように、第 1 の層間絶縁膜 5 0 7 5 を酸化窒化シリコン膜から 1 0 0 ~ 2 0 0 [nm] の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 5 0 7 6 を形成した後、第 1 の層間絶縁膜 5 0 7 5、第 2 の層間絶縁膜 5 0 7 6、およびゲート絶縁膜 5 0 0 7 に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5 0 7 7 ~ 5 0 8 3 をパターンニング形成する。この配線は 5 0 ~ 2 0 0 nm の T i 膜、1 0 0 ~ 3 0 0 nm の A l 膜、5 0 ~ 2 0 0 nm のスズ (S n) 膜または T i 膜で形成する。このような構成で形成された配線 5 0 7 7 ~ 5 0 8 3 は、最初に形成する T i 膜が半導体層と接触をし、コンタクト部分の耐熱性を高めている。

【 0 2 1 3 】

以上の工程によって、図 2 4 (A) に示す画素電極を作製する直前の画素部、画素部の駆動回路およびメモリ部を、絶縁表面を有する基板上に同時に作製することができる。

【 0 2 1 4 】

本実施例の場合、nチャネル型 T F T の活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なる L D D 領域 (L o v 領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならない L D D 領域 (L o f f 領域) およびチャネル形成領域を含む。このように L o v 領域を設けることにより、ホットキャリア効果による T F T の劣化を防止することができ 1 0 [V] 以上の高い電圧を印加してもきわめて安定した動作を得ることができる。また、L o f f 領域を設けることにより、オフ電流を低く抑えることができる。特に、アモルファスシリコン層によって形成される画素部を駆動する走査線側駆動回路では、2 0 ~ 3 0 [V] の電源電圧が用いられるため、このような構造は必要不可欠である。

【 0 2 1 5 】

また、本実施例で示す工程に従えば、T F Tの作製に必要なフォトマスクの数を5枚に抑えることができる。具体的には、半導体層を島状に分割するマスク、ゲート電極を形成するためのマスク、ドーピング用のマスク、コンタクトホール形成用のマスク、配線形成マスクである。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【 0 2 1 6 】

なお本実施例は、実施例1～15と組み合わせて実施することが可能である。

【 0 2 1 7 】

(実施例17)

本実施例では、実施例16とは異なる作製方法によって、本願発明の半導体装置を作製する方法について説明する。本実施例では、アクティブマトリクス型液晶表示装置の画素部、画素部の駆動回路およびフラッシュメモリからなるメモリ部を、絶縁表面を有する基板上に同時に作製する方法について説明する。

【 0 2 1 8 】

説明を簡単にするために、画素部を代表して、画素を構成するスイッチング用T F Tを、画素部の駆動回路およびメモリ部の駆動回路を代表して、C M O S回路を構成するpチャネル型T F Tとnチャネル型T F Tとを、またフラッシュメモリのメモリセルを構成するメモリT F Tを、同時に作製することにする。また、本実施例では、画素部における画素電極の作製以降の工程については省略する。液晶表示装置における画素電極の作製以降の工程については、公知の作製方法を用いれば良い。

【 0 2 1 9 】

なお、本実施例を基にすれば、本願発明の他の形態の作製方法も容易に想定することができる。例えば、E L表示装置の画素を構成するスイッチング用T F TとE L駆動用T F Tは、液晶表示装置の画素を構成するスイッチング用T F Tと同様の作製工程を用いることができる。また、絶縁表面を有する基板を用いたスティックドライバは、本実施例において、画素部を除いた作製工程において作製することができる。また、S R A MはC M O S回路によって構成されるため、本実施例の駆動回路の作製工程を用いることができる。この他、抵抗素子を含むS

RAMやDRAMにおいて必要となる容量素子や抵抗素子の作製方法も、本実施例から容易に想定できるものである。

【0220】

図26(A)において、基板2601、下地膜2602(2602a、2602b)、島状半導体層2603~2606は実施例16と同等なものとしここでは説明を省略する。なお、半導体層2604~2606にはnチャネル型TFTのしきい値電圧(V_{th})を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} [\text{atoms}/\text{cm}^3]$ 程度の濃度で添加しても良い。

【0221】

第1のゲート絶縁膜2608はプラズマCVD法またはスパッタ法を用い、膜厚を40~200[nm]としてシリコンを含む絶縁膜で形成する。例えば、75[nm]の厚さの酸化窒化シリコン膜を形成すると良い。なお、メモリTFTを構成する第1のゲート絶縁膜の厚さを10~50[nm]とし、その他の素子を形成する第1のゲート絶縁膜の厚さを50~250[nm]としても良い。ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0222】

次に、nチャネル型TFTのLDD領域(Lov領域)を形成するために、レジストマスク2609、2610を形成し、n型を付与する不純物元素を半導体層2604に選択的に添加する。ドーピングは、代表的な方法としてフォスフィン(PH_3)を用いたイオンドーピング法で行う。形成される不純物領域は低濃度n型不純物領域2607と定義されるもので、この領域のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} [\text{atoms}/\text{cm}^3]$ の範囲とする。

【0223】

レジストマスク2609、2610を除去した後、メモリTFTのオーバーラップ領域を形成するために、レジストマスク2611を形成し、n型を付与する不純物元素を半導体層2606に選択的に添加する(図26(B))。この工程により形成されるn型不純物領域2612には、n型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} [\text{atoms}/\text{cm}^3]$)の

濃度で含まれるようにドーズ量を調節する。n型不純物元素としては、リン（P）の他に砒素（As）を用いればよく、本実施例ではリン（P）を用いる。

【0224】

その後、レジストマスク2611を除去して、添加した不純物元素を活性化させる処理を行う。活性化の処理はレーザーアニール法により行うと簡便である。その条件の一例は、レーザーパルス発振周波数1[kHz]とし、レーザーエネルギー密度を100～300[mJ/cm²]（代表的には150～250[mJ/cm²])とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～99[%]（好ましくは、95～99[%]）として行う。レーザーアニール法に用いるレーザー発振器には、ガスレーザーであるエキシマレーザーや固体レーザーであるYAGレーザー、YVO₄レーザー、YAlO₃レーザー、YLFレーザーなどを用いることができる。前記YAGレーザーなどの固体レーザーの場合には、その基本波（1064[nm]）の他にその第2高調波（532[nm]）、第3高調波（355[nm]）を用いることができる。こうして活性化処理をすることにより、チャンネル形成領域とオーバーラップ領域との接合、及びチャンネル形成領域と低濃度n型不純物領域との接合を良好なものとすることができる。

【0225】

次に、図26（C）に示すように、第1のゲート絶縁膜2608上にゲート電極2613～2616およびフローティングゲート電極2617を形成する。ゲート電極2613～2616およびフローティングゲート電極2617はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良い。このような材料から成る導電層111の下には窒化タンタル（Ta₃N₄）、窒化タングステン（W₃N₄）、窒化チタン（TiN）膜、窒化モリブデン（MoN）などの窒化物、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドなどのシリサイドを形成しておいても良い。ゲート電極の厚さは200～400[nm]（好ましくは250～350[nm]）で形成する。

【 0 2 2 6 】

メモリ T F T のフローティングゲート電極 2 6 1 7 は、n 型不純物領域 2 6 1 2 と一部重なるように形成する。この重なった領域は、オーバーラップ領域と呼ばれ、メモリ T F T の消去時にトンネル電流を流すための領域となる。また、ゲート電極 2 6 1 4 は低濃度 n 型不純物領域 2 6 0 7 と一部が重なるように形成する。

【 0 2 2 7 】

その後、ゲート電極 5 2 2 ～ 5 2 4 をマスクとして自己整合的に n 型不純物元素（本実施例ではリン）2 6 1 8 ～ 2 6 2 6 を添加し、低濃度 n 型不純物領域を形成する。この低濃度 n 型不純物領域は、リンの濃度が $1 \times 10^{17} \sim 1 \times 10^{19}$ [atoms/cm³] となるように調節する。

【 0 2 2 8 】

そして、図 2 6 (D) に示すように、n チャネル型 T F T のソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行う。まず、レジストのマスク 2 6 3 8 ～ 2 6 4 0 を形成し、n 型を付与する不純物元素を添加して高濃度 n 型不純物領域 2 6 3 1 ～ 2 6 3 7 を形成する。n 型を付与する不純物元素にはリン（P）を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³] の濃度範囲となるようにフォスフィン（P H₃）を用いたイオンドープ法で行う。

p チャネル型 T F T を形成する半導体層 2 6 0 3 の端部に形成する高濃度 n 型不純物領域 6 1 7 は、p チャネル型 T F T の動作に直接影響を及ぼすものでないが、チャネル形成領域の不純物元素をゲッタリングする処理が必要な場合に利用することができる。

【 0 2 2 9 】

そして、図 2 6 (E) に示すように、p チャネル型 T F T を形成する半導体層 2 6 0 3 にソース領域およびドレイン領域を形成する高濃度 p 型不純物領域 2 6 4 1、2 6 4 2 を形成する。ゲート電極 2 6 1 3 をマスクとしてジボラン（B₂ H₆）を用いたイオンドープ法で行い、自己整合的に高濃度 p 型不純物領域を形成する。このとき n チャネル型 T F T を形成する半導体膜 2 6 0 4 ～ 2 6 0 6 はレジストマスク 2 6 4 3 で全面を被覆しておく。この領域のボロン（B）濃度は

$3 \times 10^{20} \sim 3 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【 0 2 3 0 】

第2のゲート絶縁膜 2 7 5 1 はプラズマ C V D 法またはスパッタ法を用い、膜厚を 4 0 ~ 2 0 0 [nm] としてシリコンを含む絶縁膜で形成する。例えば、7 5 [nm] の厚さの酸化窒化シリコン膜を形成すると良い。第2のゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【 0 2 3 1 】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0. 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [°C]、代表的には 5 0 0 ~ 6 0 0 [°C] で行うものであり、代表的には 5 5 0 [°C] で 4 時間の熱処理を行う。

【 0 2 3 2 】

次に、2 0 0 ~ 4 0 0 [nm] の導電膜を形成し、パターニングを行いコントロールゲート電極 2 7 5 2 を形成する（図 2 7 (A)）。コントロールゲート電極 2 7 5 2 は、第2のゲート絶縁膜 2 7 5 1 を介してフローティングゲート電極 2 6 1 7 の一部または全体と重なるように形成する。なお、コントロールゲート電極 2 7 5 2 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的には Mo-W 合金膜、Mo-Ta 合金膜）で形成すれば良い。このような材料から成る導電層 1 1 1 の下には窒化タンタル (Ta₃N₄)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (Mo₃N₄) などの窒化物、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドなどのシリサイドを形成しておいても良い。ゲート電極の厚さは 2 0 0 ~ 4 0 0 [nm]（好ましくは 2 5 0 ~ 3 5 0 [nm]）で形成する。

【 0 2 3 3 】

その後、図 2 7 (B) に示すように、コントロールゲート電極および第2のゲ

ート絶縁膜上から第1の層間絶縁膜2761を形成する。第1の層間絶縁膜2761は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で100～200 [nm]の厚さで形成する。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])電力密度0.5～0.8 [W/cm²]で放電させて形成する。酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200 [Pa]、基板温度300～400 [°C]とし、高周波(60 [MHz])電力密度0.1～1.0 [W/cm²]で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

【0234】

熱処理を行った後、さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}$ [/cm³]のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0235】

そして、有機絶縁物材料からなる第2の層間絶縁膜2762を1.0～2.0 [μ m]の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができ、TFTの動作を高速化する上で非常に重要な要素となる。しかし、これらの有機絶縁物材料は吸湿性があり保護膜としては適さないので、第1の層間絶縁膜2761で形成した酸化シリコン膜、酸

化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いることが好ましい。

【0236】

その後、第1及び第2の層間絶縁膜にコンタクトホールを形成し、実施例16と同様にして、ソースまたはドレイン配線2763～2768を形成する。コンタクトホールの形成はドライエッチング法により行い、エッチングガスとして CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜146をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。配線を形成後、300[°C]程度の温度で水素化処理とシンタリング処理を同時に行うことができ、TFTの電気的特性を向上させることができる。

【0237】

こうして、図27(B)に示す画素電極を作製する直前の画素部、画素部の駆動回路およびメモリ部を、絶縁表面を有する基板上に同時に作製することができる。

【0238】

本実施例の場合、pチャネル型TFT2771は、チャネル形成領域、高濃度p型不純物領域から成るソースまたはドレイン領域が形成されたシングルドレインの構造を有している。nチャネル型TFT2772は、チャネル形成領域、ゲート電極613と重なるLDD領域(Lov領域)、ソースまたはドレイン領域を有している。Lov領域を設けることにより、ドレイン領域近傍に発生する高電界を緩和してホットキャリアの発生を防ぎTFTの特性劣化を防止することができる。なお、このLov領域はドレイン側のみに形成する。このような構造とすることで、ホットキャリア効果による特性の劣化を防ぎ、また寄生容量を最低限度に抑えて高速動作を可能とする。また、ソース及びドレイン領域の端部とゲート電極の端部がほぼ一致させることで、抵抗損失が減り電流駆動能力を高めることができる。このように、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTは、駆動回路部を形成するCMOS回路を構

成するTFTとして適している。

【0239】

スイッチング用TFT2773は、ダブルゲート構造を有しており、また、チャネル形成領域、ゲート電極と重ならないLDD領域（LoFF領域）及びソースまたはドレイン領域を有している。ダブルゲート構造とし、LoFF領域を設けることにより、オフ電流を低減させることができる。液晶表示装置の画素を構成するスイッチング用TFTは、オフ電流を極力低く抑える必要があり、このような構造を有するTFTは液晶表示装置の画素を構成するスイッチング用TFTとして適している。

【0240】

メモリTFT2774は、ソース・ドレイン領域の一方に高濃度n型不純物領域（オーバーラップ領域という）を有する。オーバーラップ領域は、メモリTFTの消去時において、トンネル電流を流すための領域として必要である。

【0241】

このように、本実施例のELディスプレイは、画素部、駆動回路、メモリ部においてそれぞれ最適な構造のTFTを配置することにより、高い信頼性を示し、かつ動作特性の良い半導体装置を作製することができる。

【0242】

なお、EL表示装置の画素部を本実施例によって作製する場合には、以下のようなTFT構造とするとよい。EL表示装置の画素を構成するスイッチング用TFTは、ダブルゲート構造であって、かつソース領域とドレイン領域にLoFF領域を有するnチャネル型TFTとする。またEL表示装置の画素を構成するEL駆動用TFTは、ソース領域とドレイン領域にLoV領域を有するTFT構造とする。このような構造とすることで、スイッチング用TFTではオフ電流を抑え、EL駆動用TFTではホットキャリア効果による特性の劣化を防ぐことができる。

【0243】

この他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCM

OS回路が用いられる場合、CMOS回路を形成するnチャネル型TF Tは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TF Tは、Low領域とLo f f領域の両方を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。そのような構造を有するTF Tも、本実施例の作製方法によって作製することができる。

【0244】

なお本実施例は、実施例1～15と組み合わせて実施することが可能である。

【0245】

(実施例18)

本願発明の半導体装置は、様々な電子機器に応用することができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図28、29に示す。

【0246】

図28（A）はディスプレイであり、筐体3001、支持台3002、表示部3003等を含む。表示部3003には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

【0247】

図28（B）はビデオカメラであり、本体3101、表示部3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106で構成される。表示部3102には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置やEL表示装置を用いることができる。

【 0 2 4 8 】

図 2 8 (C) は頭部取り付け型のディスプレイの一部 (右片側) であり、本体 3 2 0 1、信号ケーブル 3 2 0 2、頭部固定バンド 3 2 0 3、表示部 3 2 0 4、光学系 3 2 0 5、表示装置 3 2 0 6 等を含む。表示装置 3 2 0 6 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。

【 0 2 4 9 】

図 2 8 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 3 3 0 1、表示部 3 3 0 2、スピーカ部 3 3 0 3、記録媒体 3 3 0 4、操作スイッチ 3 3 0 5 等で構成される。なお、この装置は記録媒体として D V D (Digital Versatile Disc)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。表示部 3 3 0 4 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。

【 0 2 5 0 】

図 2 8 (E) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 3 4 0 1、表示部 3 4 0 2、アーム部 3 4 0 3 を含む。表示部 3 4 0 2 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。

【 0 2 5 1 】

図 2 8 (F) はパーソナルコンピュータであり、本体 3 5 0 1、映像入力部 3 5 0 2、表示部 3 5 0 3、キーボード 3 5 0 4 等で構成される。表示部 3 5 0 3 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。

【 0 2 5 2 】

図 2 9 (A) は携帯電話であり、本体 3 6 0 1、音声出力部 3 6 0 2、音声入力部 3 6 0 3、表示部 3 6 0 4、操作スイッチ 3 6 0 5、アンテナ 3 6 0 6 を含む。表示部 3 6 0 4 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。

【 0 2 5 3 】

図 2 9 (B) は音響再生装置、具体的にはカーオーディオであり、本体 3 7 0 1、表示部 3 7 0 2、操作スイッチ 3 7 0 3、3 7 0 4 を含む。表示部 3 7 0 2 には、本願発明におけるアクティブマトリクス型及びパッシブマトリクス型の液晶表示装置や E L 表示装置を用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

【 0 2 5 4 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 2 ～ 1 7 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 5 5 】

【発明の効果】

本願発明では、静止画像（または短時間の動画像）を表示することのできる半導体表示装置を搭載した半導体装置において、画素部を形成する基板上にメモリ部を実装する。その結果、静止画像を表示する場合に消費電力を低く抑えることのできる半導体表示装置、および半導体表示装置を搭載した半導体装置が提供される。

【 0 2 5 6 】

本願発明ではまた、画素部を形成する基板上にメモリ部とメモリ制御回路とを設けてもよい。このような構成とすることによって、画素部を形成する基板の外部からはごく簡単な制御信号を入力するだけで静止画像（または短時間の動画像）を表示することができる、低消費電力の半導体表示装置および半導体表示装置を搭載した半導体装置が提供される。

【図面の簡単な説明】

【図 1】 本願発明の半導体装置のブロック図。

【図 2】 本願発明の半導体装置のブロック図。

【図 3】 従来 of 半導体装置のブロック図。

【図 4】 従来 of 半導体装置のブロック図。

- 【図 5】 本願発明の半導体装置のブロック図。
- 【図 6】 本願発明の半導体装置のブロック図。
- 【図 7】 本願発明の半導体装置のブロック図。
- 【図 8】 本願発明の半導体装置のブロック図。
- 【図 9】 アクティブマトリクス型液晶表示装置の構成を示す図。
- 【図 1 0】 アクティブマトリクス型液晶表示装置の上面図及び断面図。
- 【図 1 1】 アクティブマトリクス型液晶表示装置の上面図及び断面図。
- 【図 1 2】 アクティブマトリクス型 E L 表示装置の構成を示す図。
- 【図 1 3】 アクティブマトリクス型 E L 表示装置の上面図及び断面図。
- 【図 1 4】 アクティブマトリクス型 E L 表示装置の上面図及び断面図。
- 【図 1 5】 パッシブマトリクス型表示装置の構成を示す図。
- 【図 1 6】 本願発明の半導体装置を構成するメモリ部のブロック図。
- 【図 1 7】 S R A M のメモリセルの回路図。
- 【図 1 8】 D R A M のメモリセルの回路図。
- 【図 1 9】 E E P R O M のメモリセルの回路図。
- 【図 2 0】 本願発明の半導体装置のブロック図。
- 【図 2 1】 走査線側駆動回路の構成を示す図。
- 【図 2 2】 データ線側駆動回路の構成を示す図。
- 【図 2 3】 本願発明の半導体装置の作製行程を示す図。
- 【図 2 4】 本願発明の半導体装置の作製行程を示す図。
- 【図 2 5】 本願発明の半導体装置の作製行程を示す図。
- 【図 2 6】 本願発明の半導体装置の作製行程を示す図。
- 【図 2 7】 本願発明の半導体装置の作製行程を示す図。
- 【図 2 8】 本願発明を応用した電子機器の一例を示す図。
- 【図 2 9】 本願発明を応用した電子機器の一例を示す図。

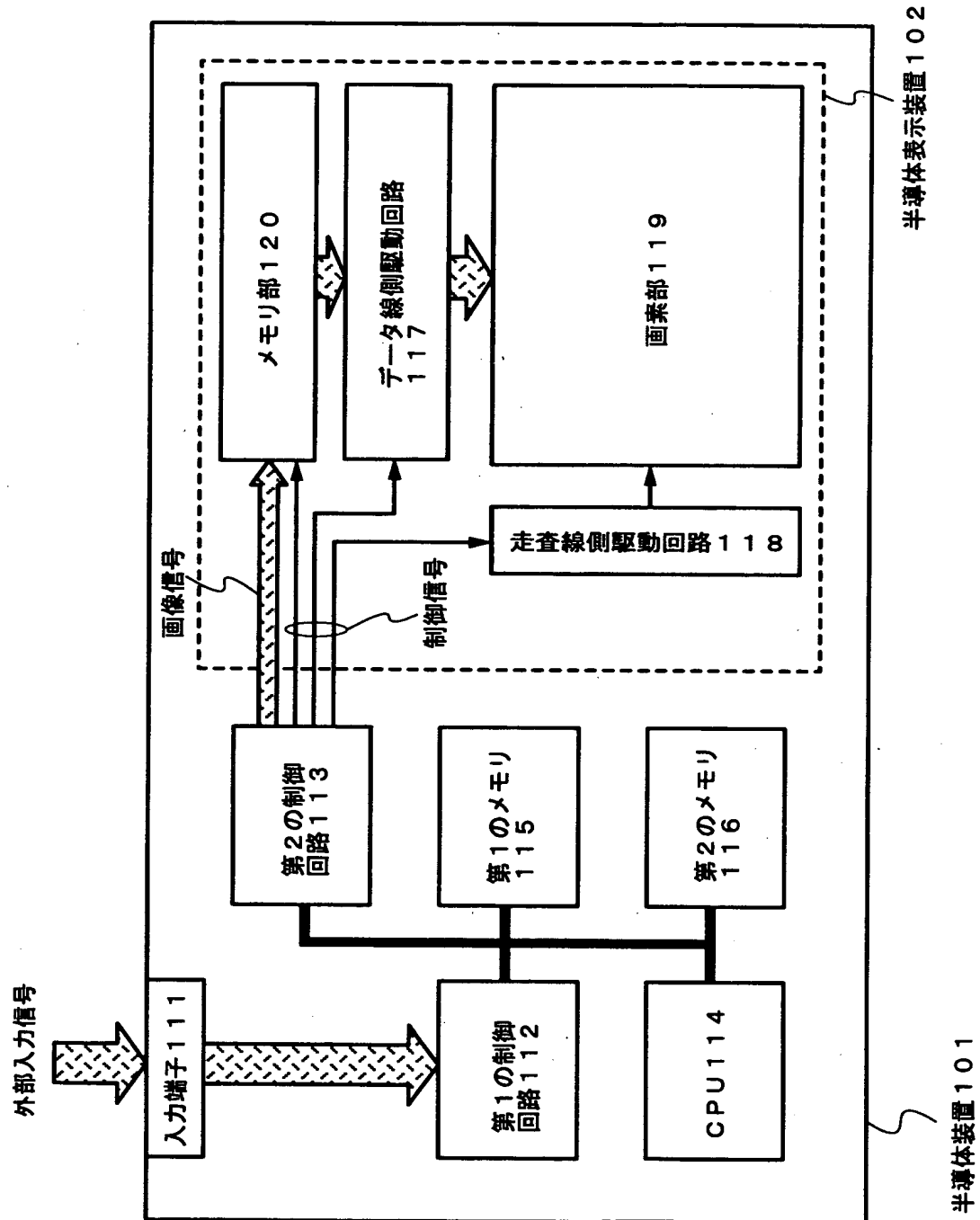
【符号の説明】

- 1 0 1 半導体装置
- 1 0 2 半導体表示装置

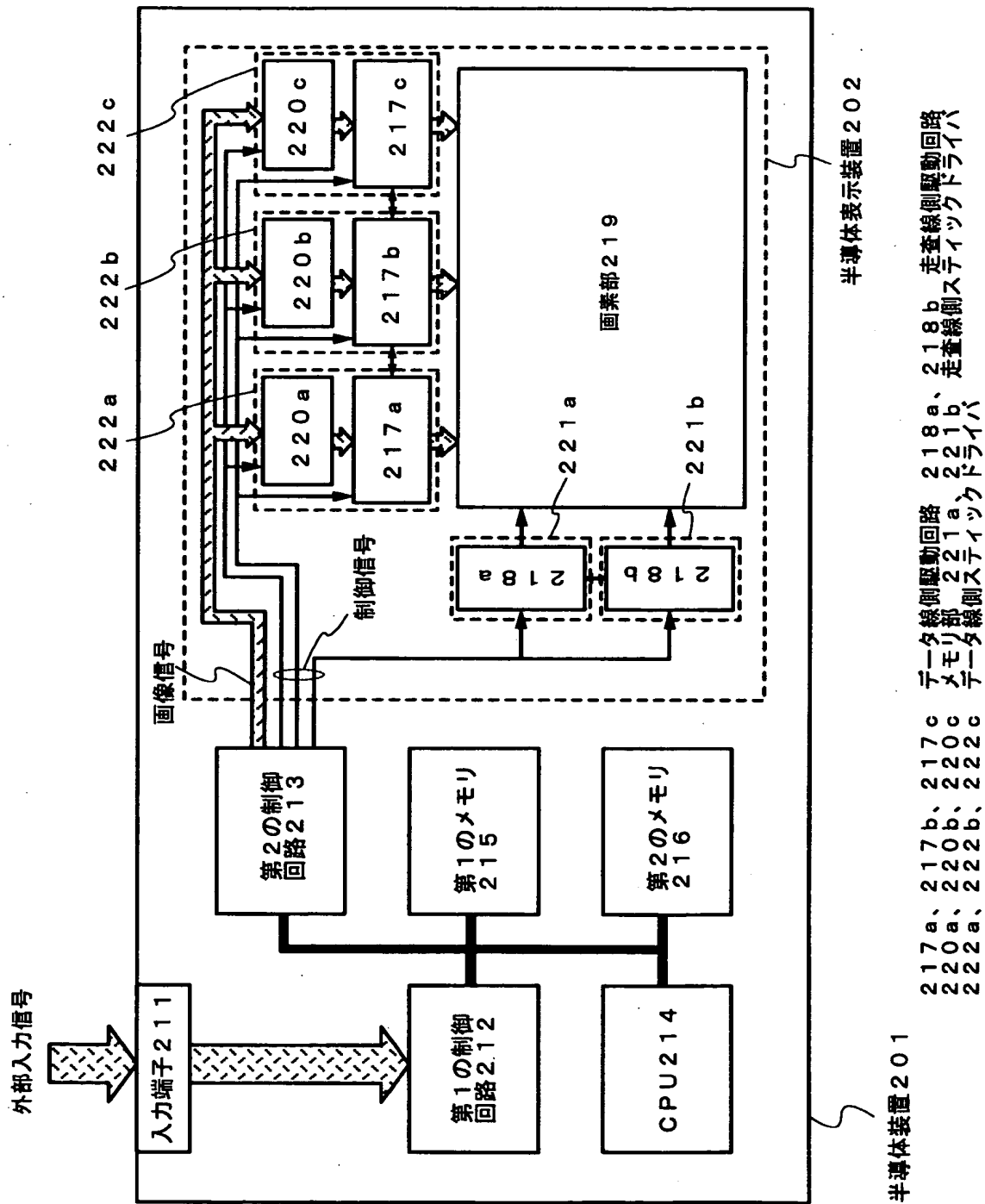
- 1 1 1 入力端子
- 1 1 2 第 1 の制御回路
- 1 1 3 第 2 の制御回路
- 1 1 4 C P U
- 1 1 5 第 1 のメモリ
- 1 1 6 第 2 のメモリ
- 1 1 7 データ線側駆動回路
- 1 1 8 走査線側駆動回路
- 1 1 9 画素部
- 1 2 0 メモリ部

【書類名】 図面

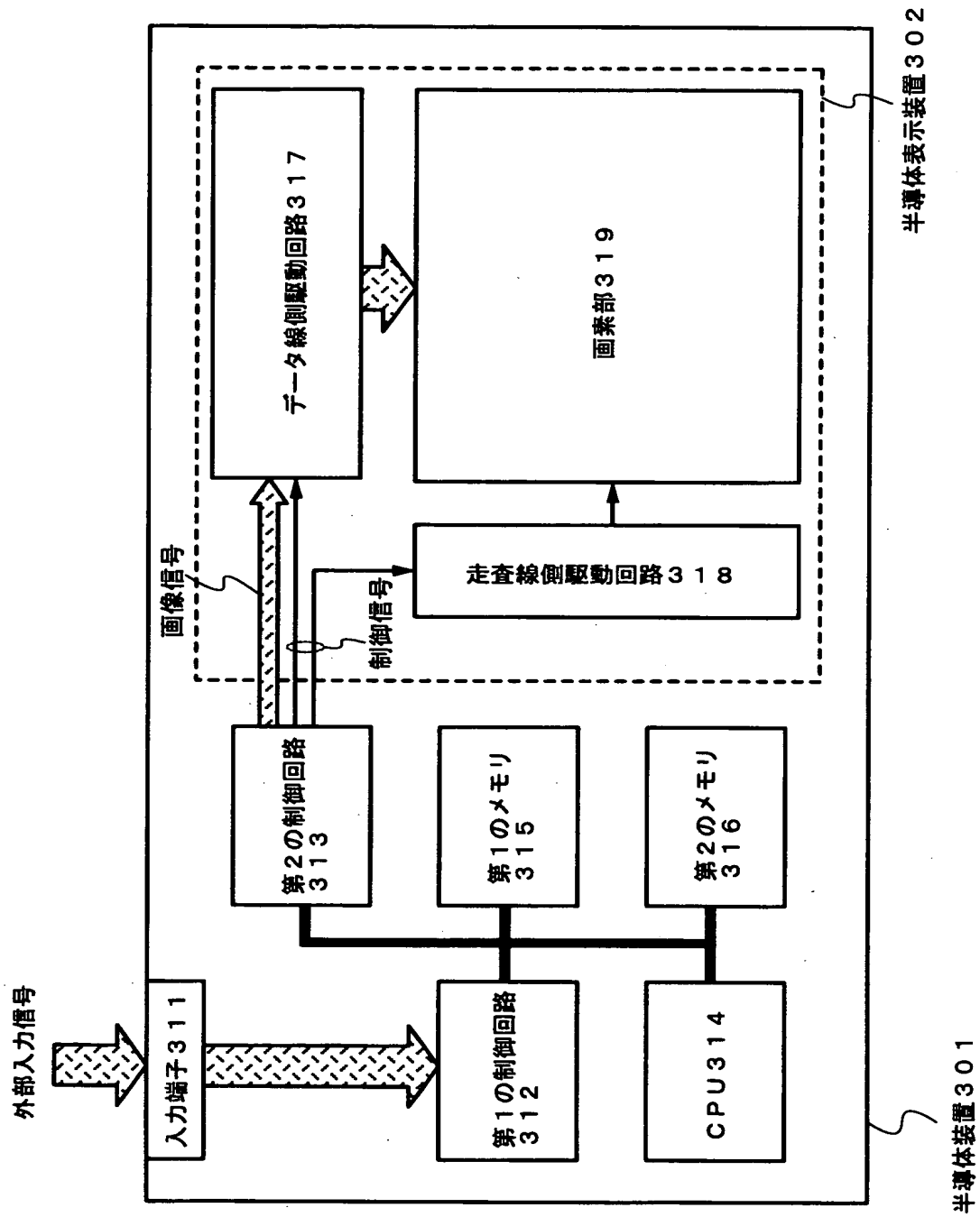
【図 1】



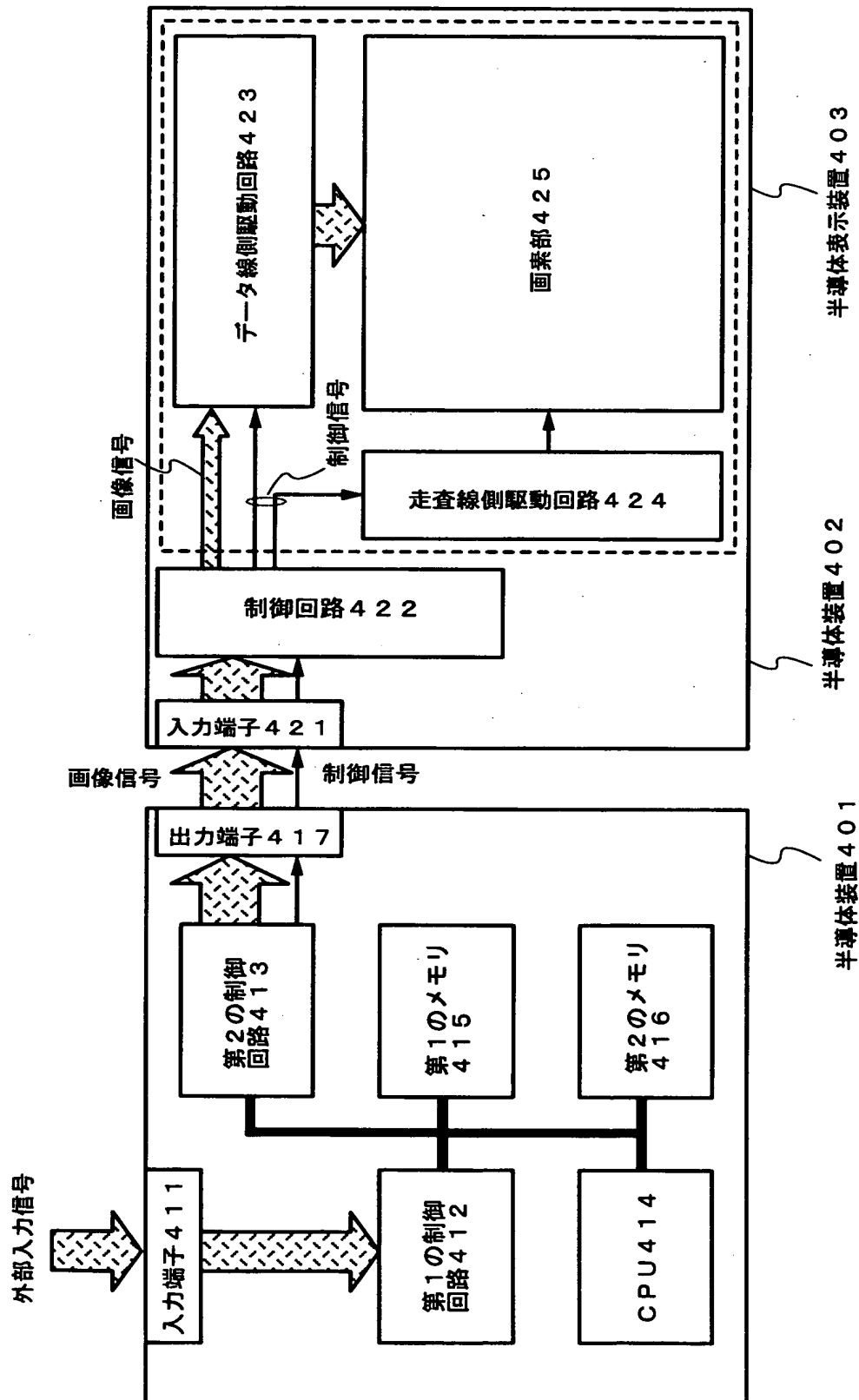
【図2】



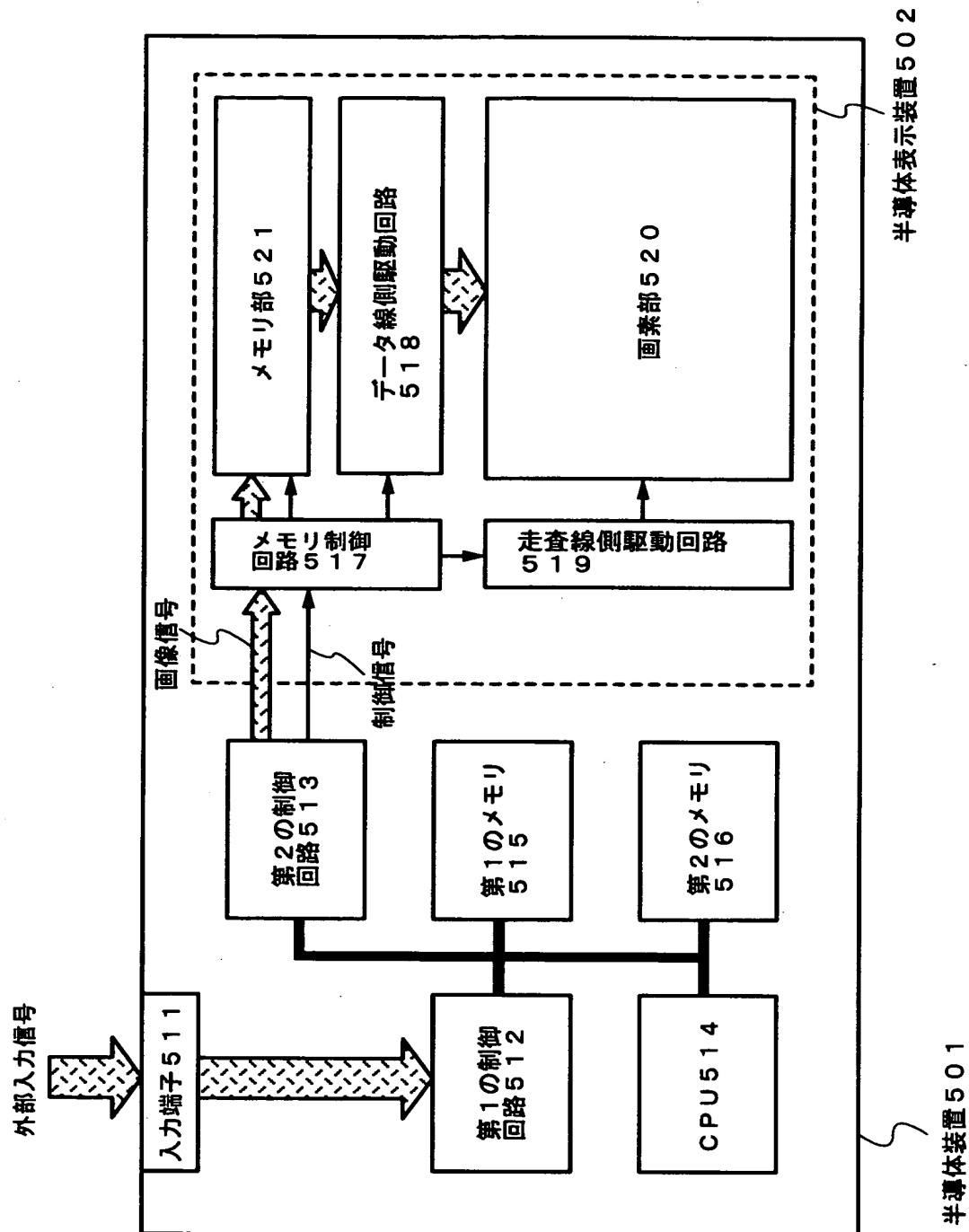
【図 3】



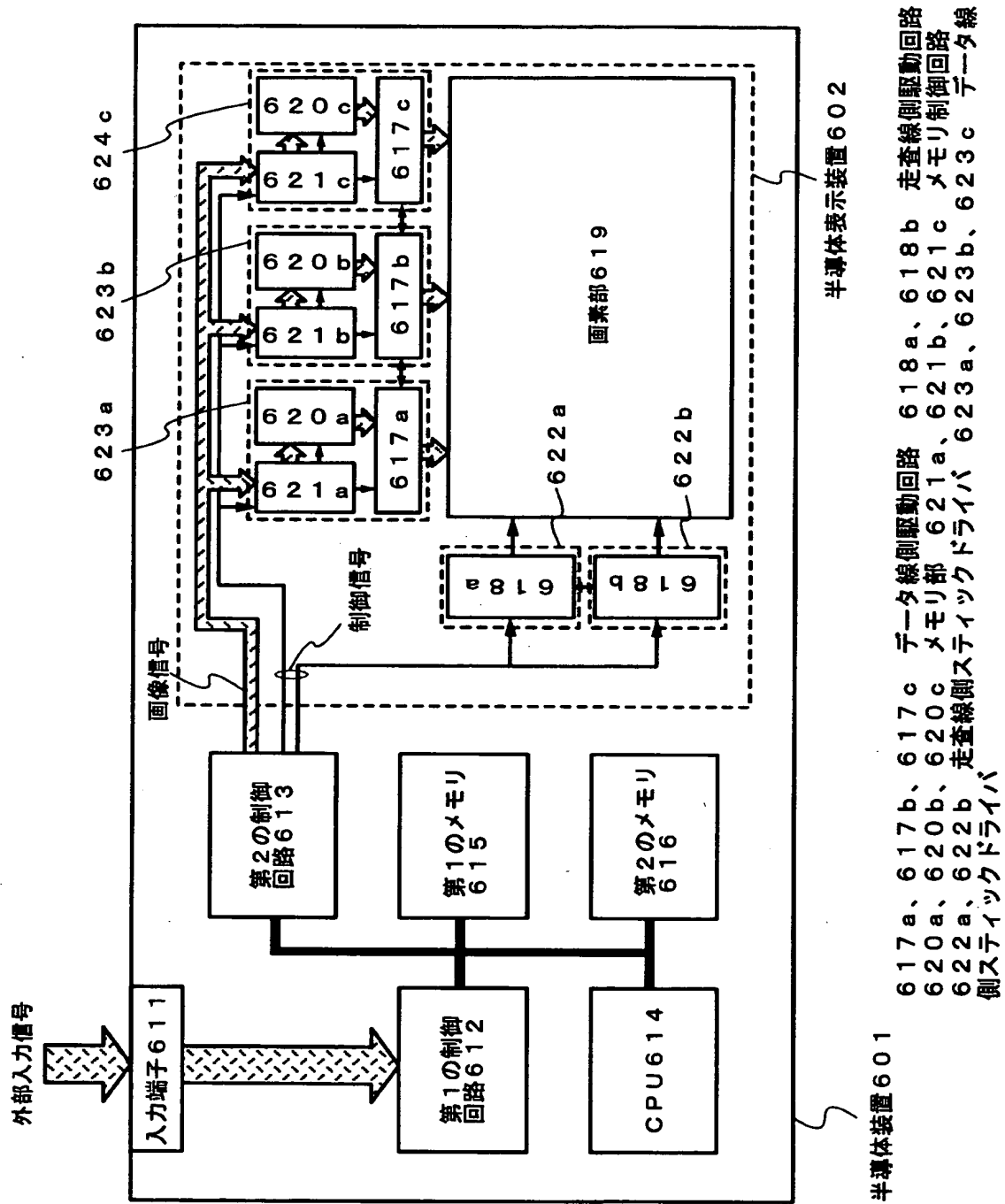
【図 4】



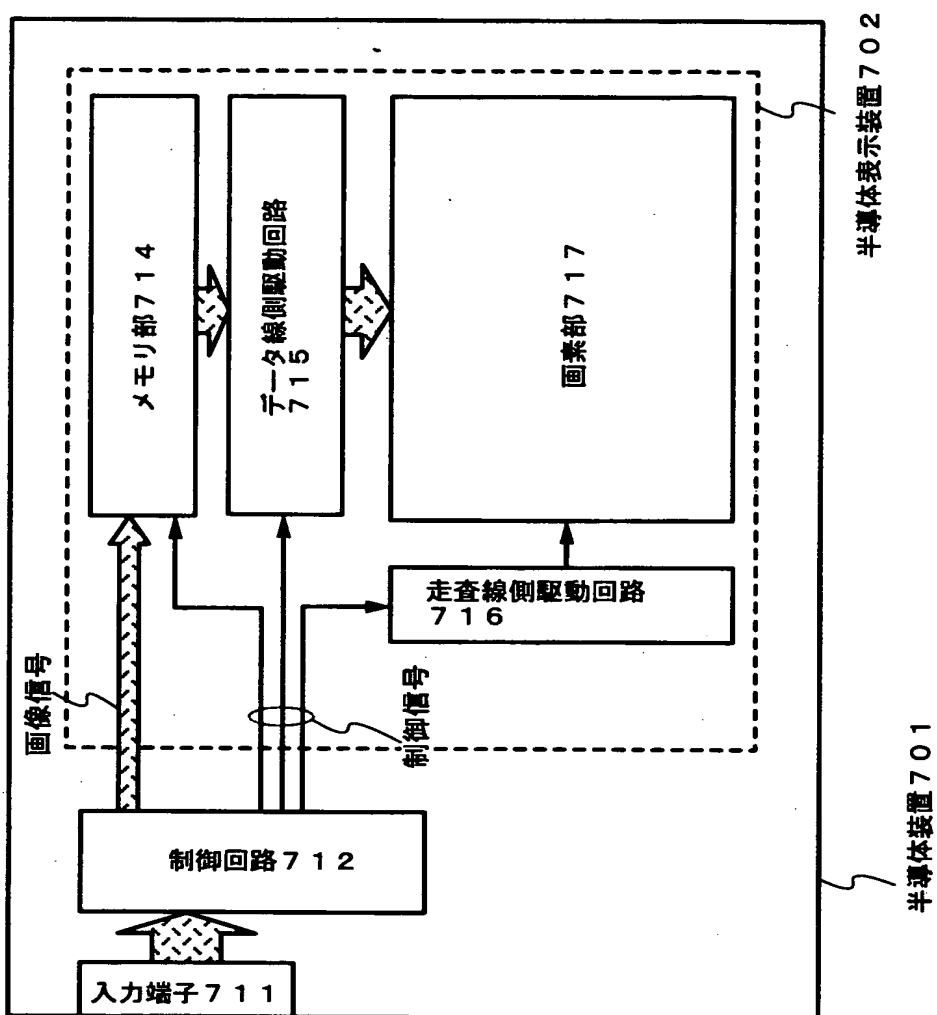
【図 5】



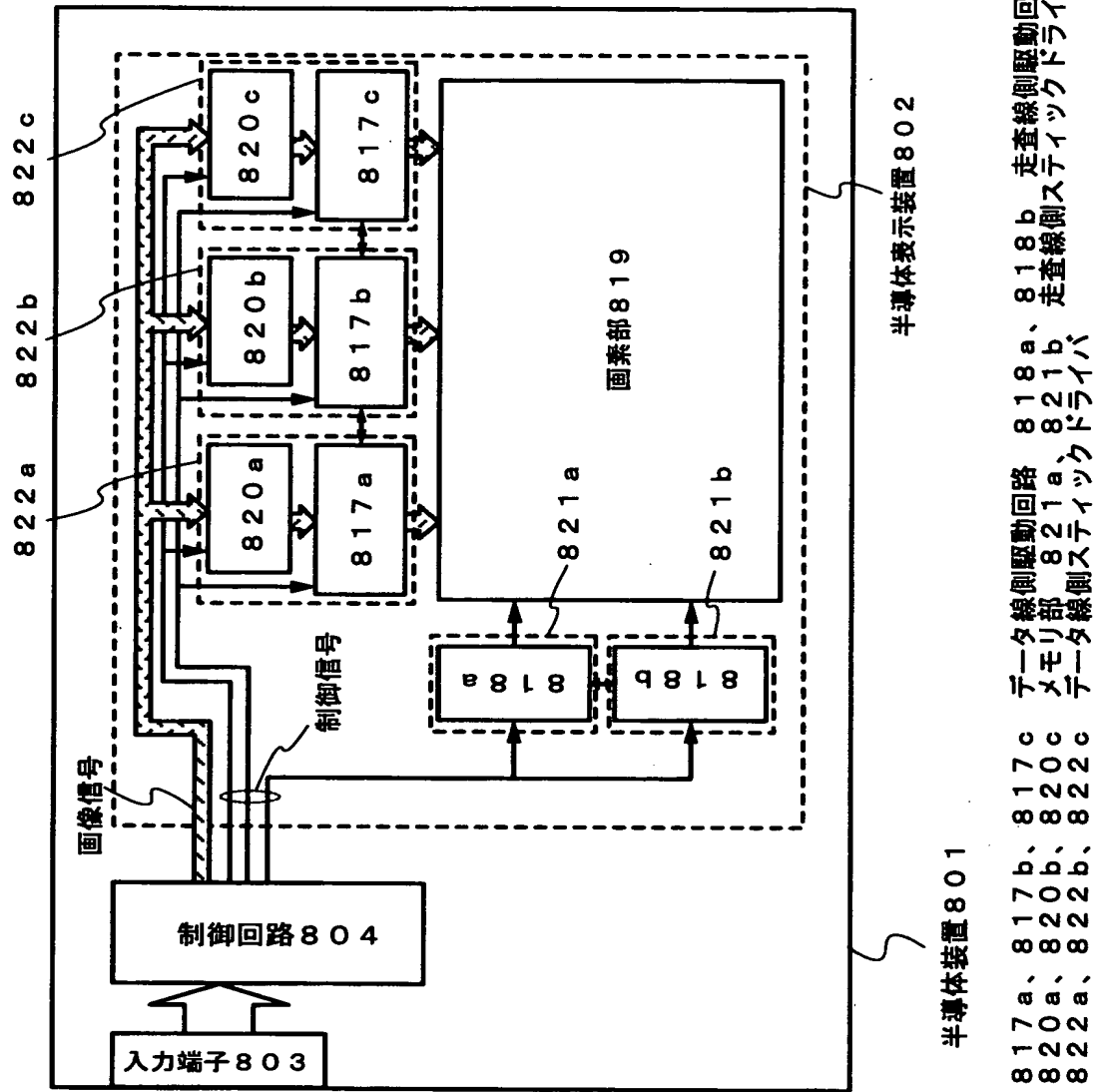
【図 6】



【図 7】



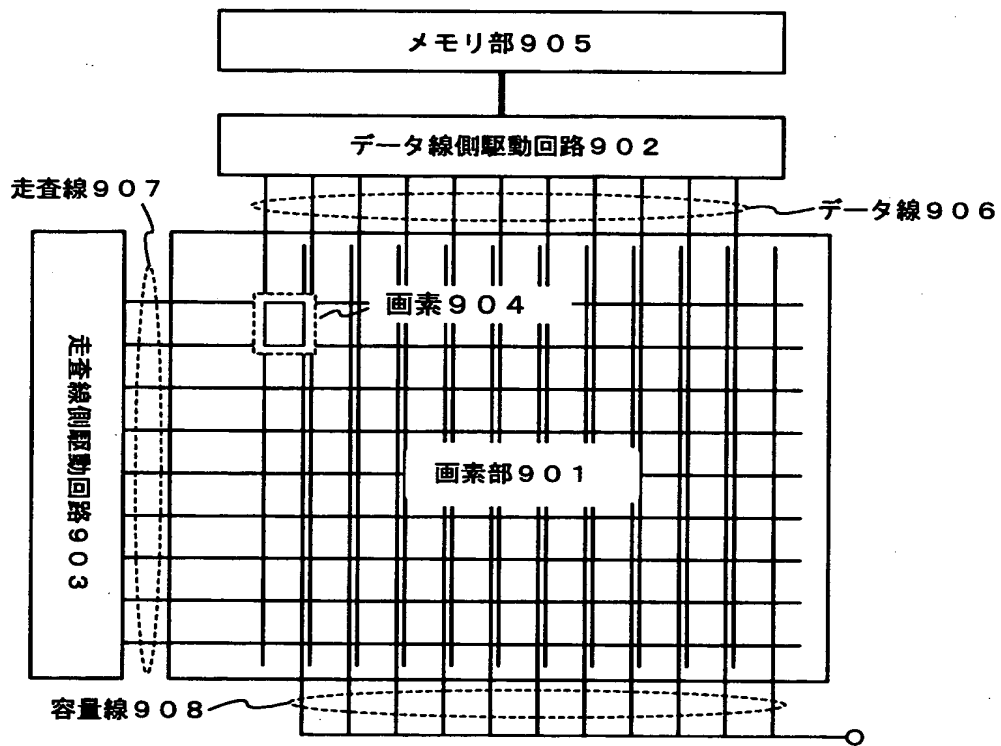
【図 8】



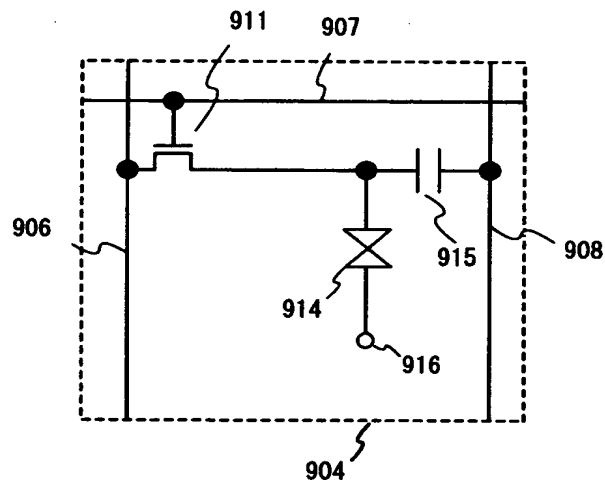
817a、817b、817c データ線側駆動回路 818a、818b 走査線側駆動回路
 820a、820b、820c メモリ部 821a、821b 走査線側スイッチドドライバ
 822a、822b、822c データ線側スイッチドドライバ

【図9】

(A)



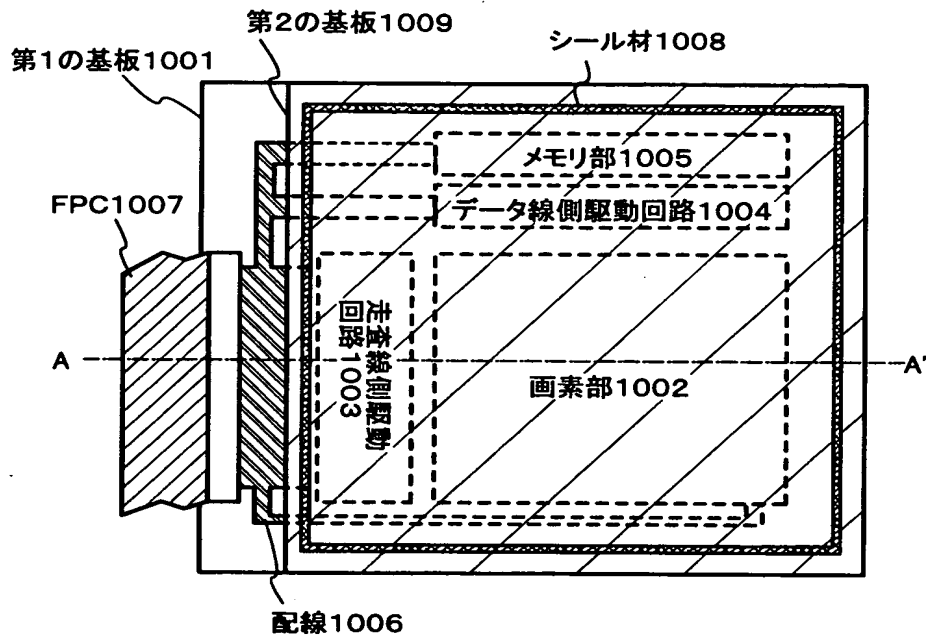
(B)



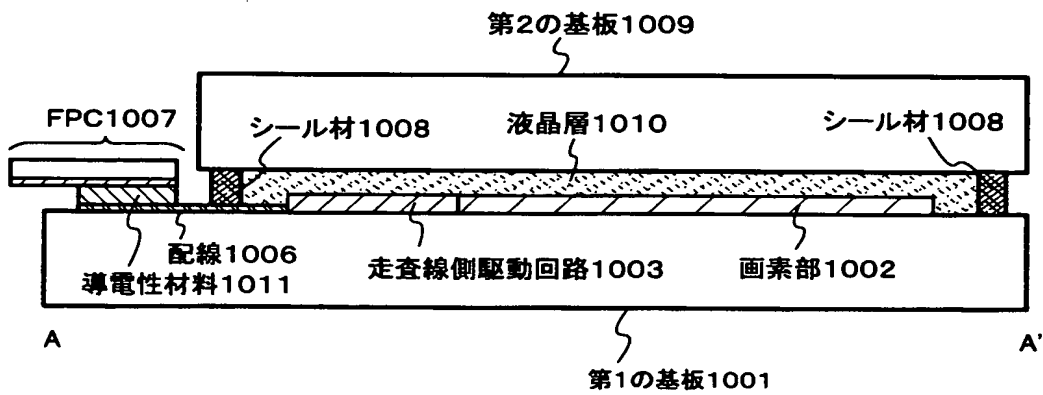
904 画素 908 容量線 906 データ線
 907 走査線 911 スイッチング用TFT
 914 液晶素子 915 コンデンサ 916
 対向電極

【図10】

(A)

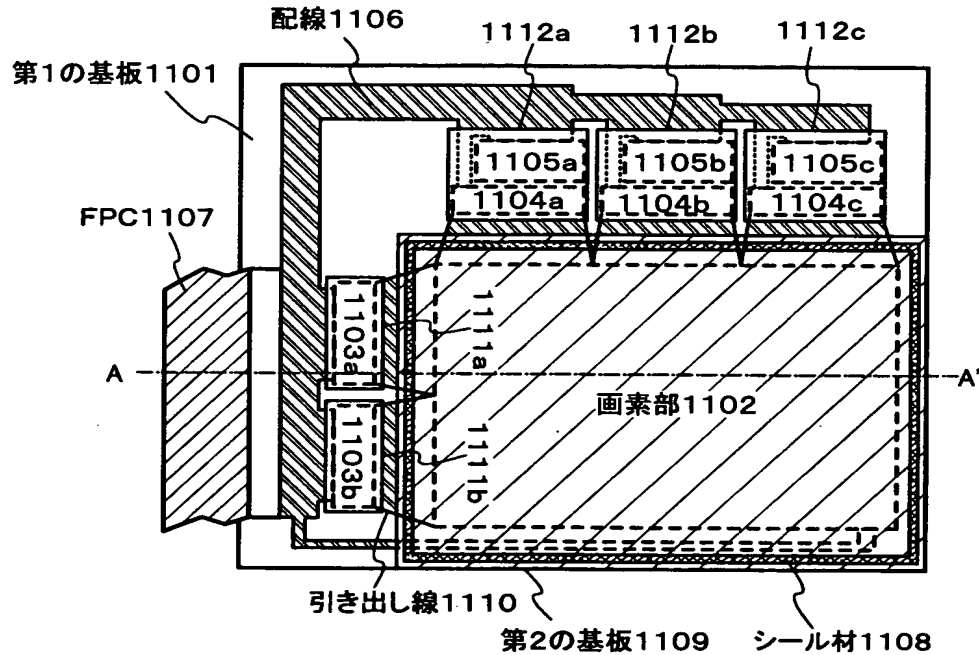


(B)



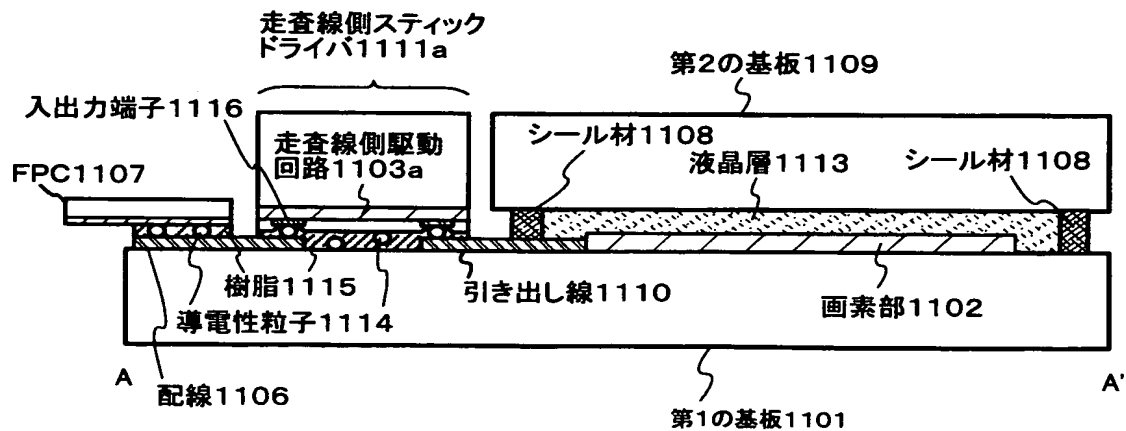
【図11】

(A)



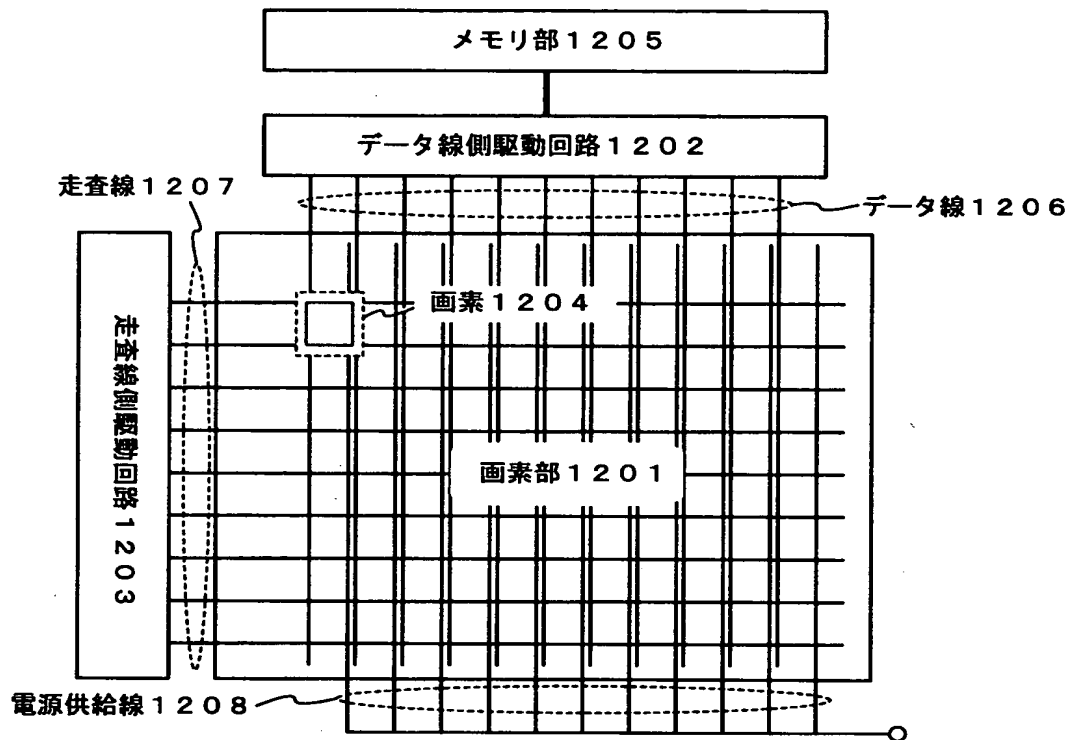
1103a、1103b 走査線側駆動回路
 1104a、1104b、1104c データ線側駆動回路
 1105a、1105b、1105c メモリ部
 1111a、1111b 走査線側スティックドライバ
 1112a、1112b、1112c データ線側スティックドライバ

(B)

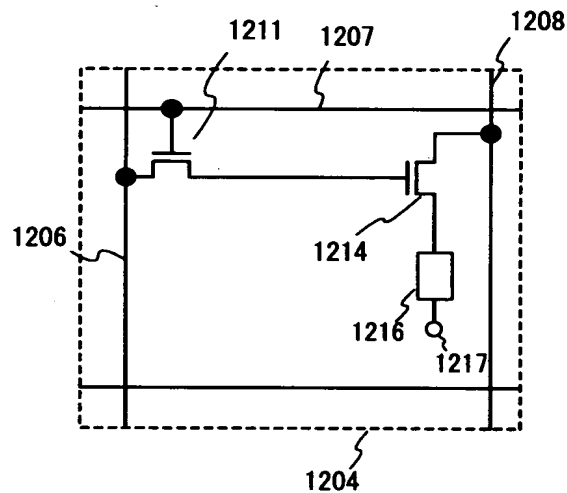


【図 1 2】

(A)



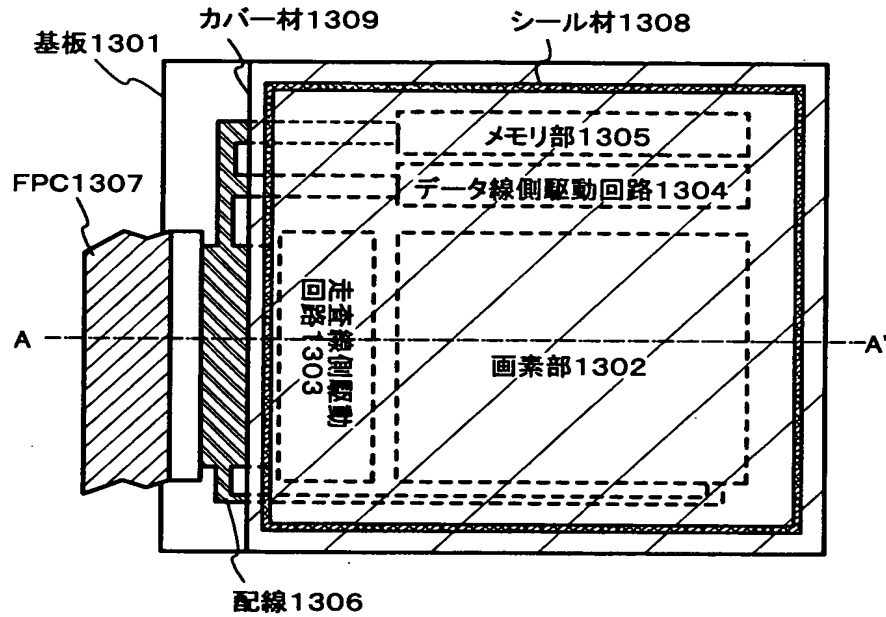
(B)



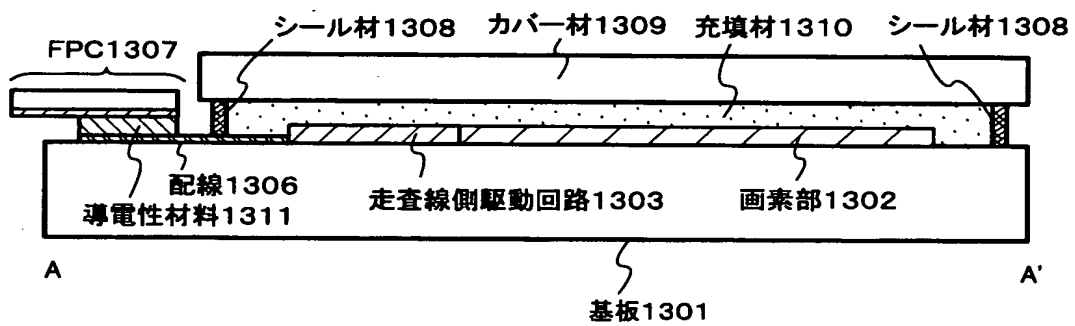
1204 画素 1206 データ線 1207 走査線
 1208 電源供給線 1211 スwitching用TFT
 1214 EL駆動用TFT 1216 EL素子 12
 17 対向電極

【図13】

(A)

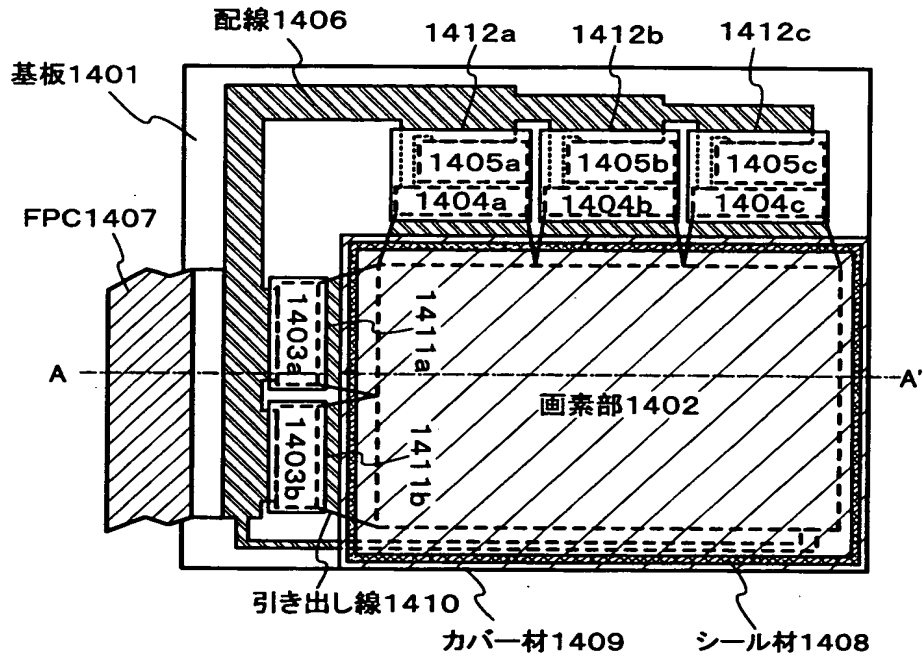


(B)



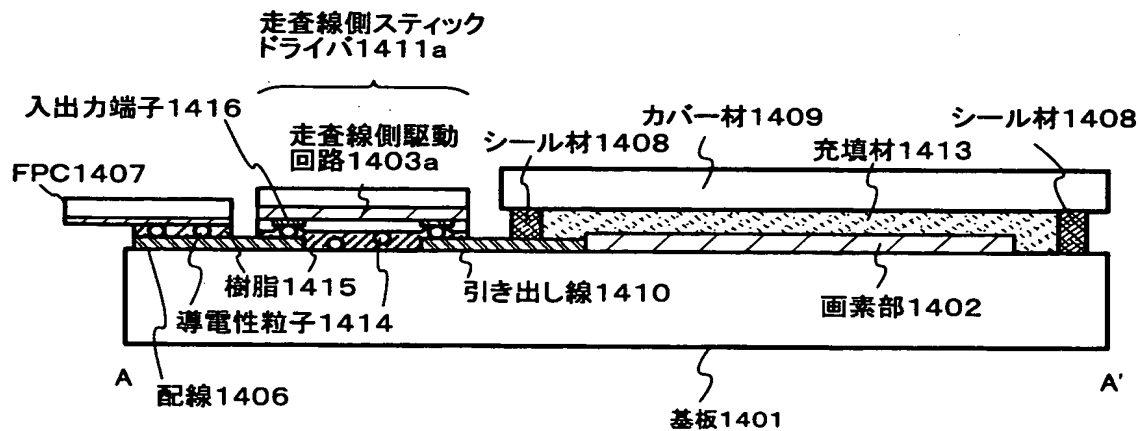
【図14】

(A)



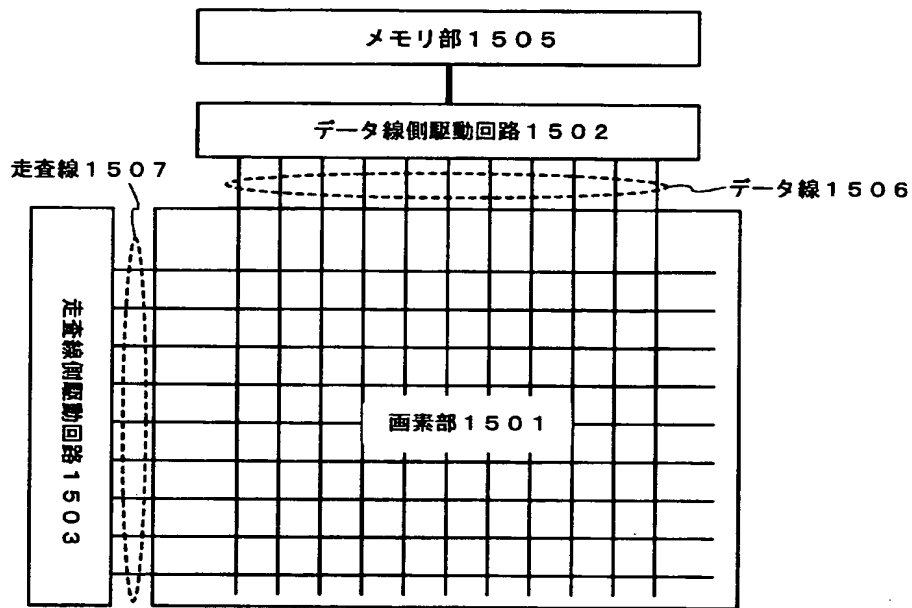
1403a、1403b 走査線側駆動回路
 1404a、1404b、1404c データ線側駆動回路
 1405a、1405b、1405c メモリ部
 1411a、1411b 走査線側スティックドライバ
 1412a、1412b、1412c データ線側スティックドライバ

(B)

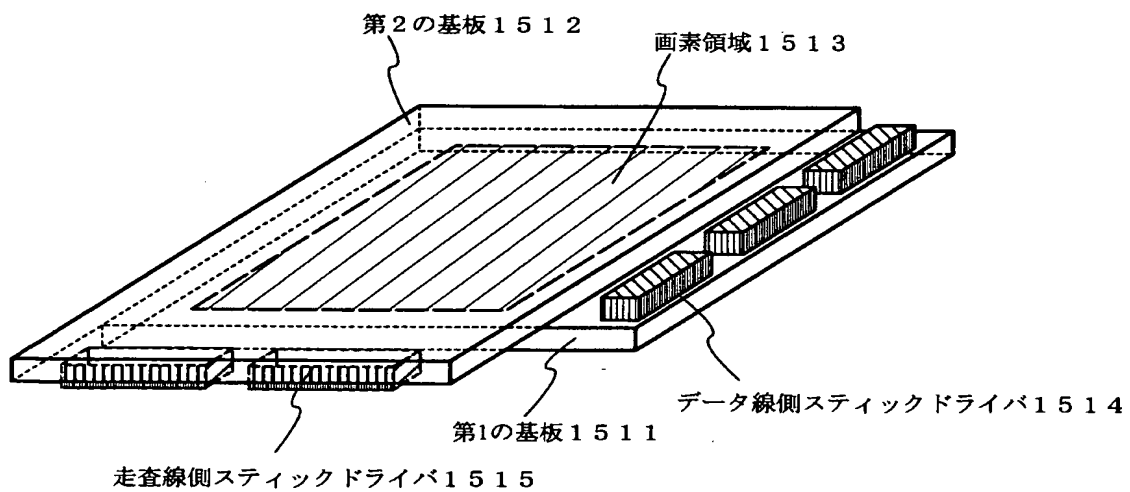


【図15】

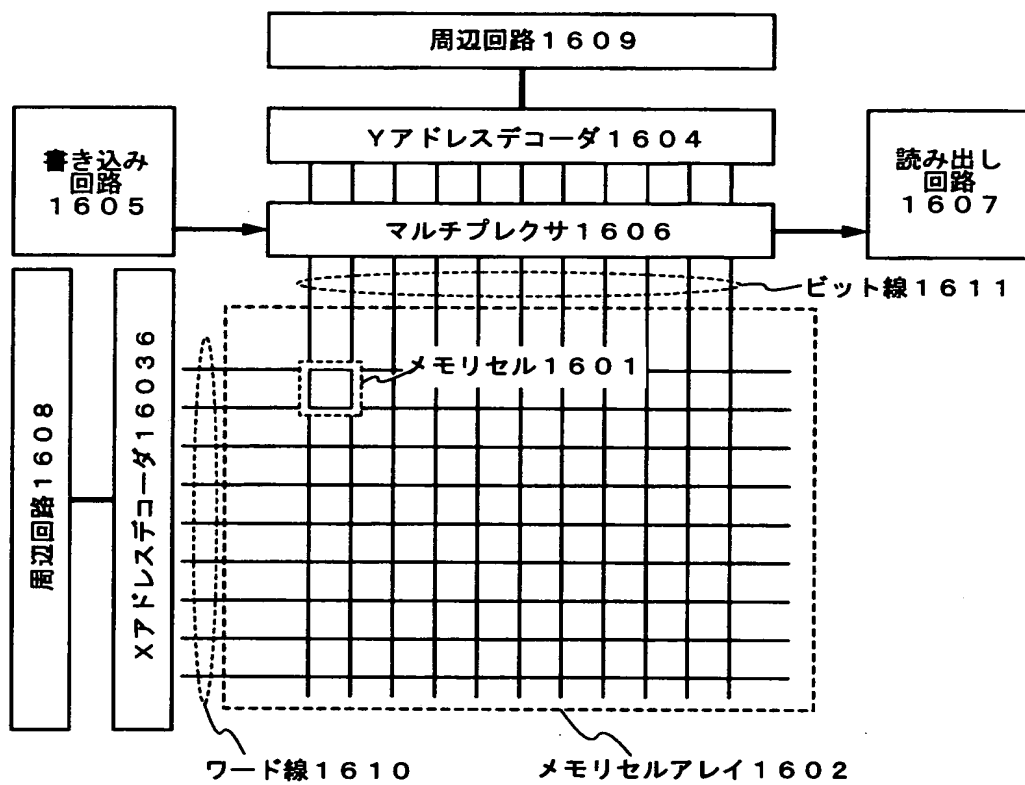
(A)



(B)

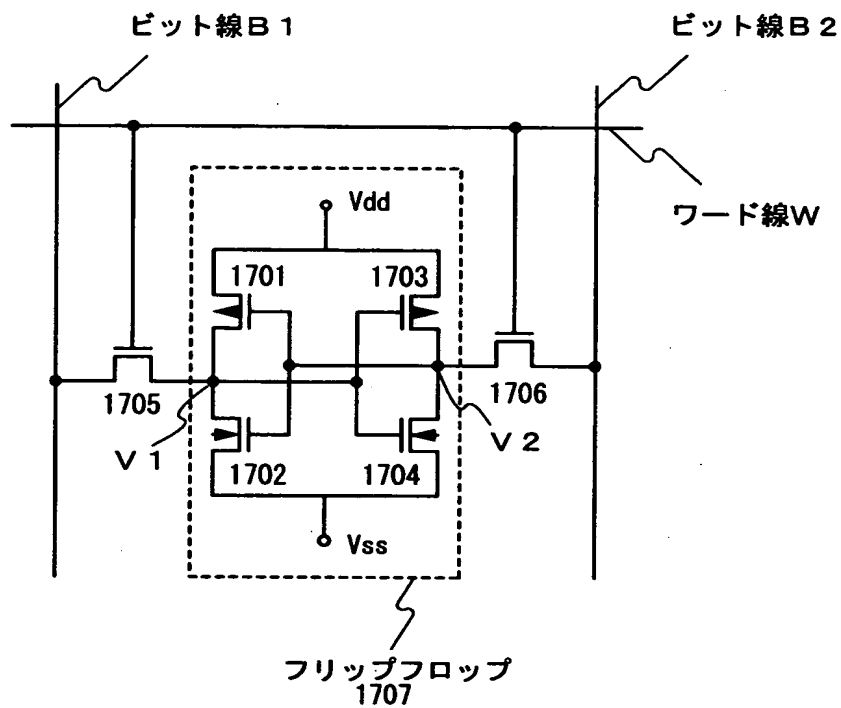


【図 16】

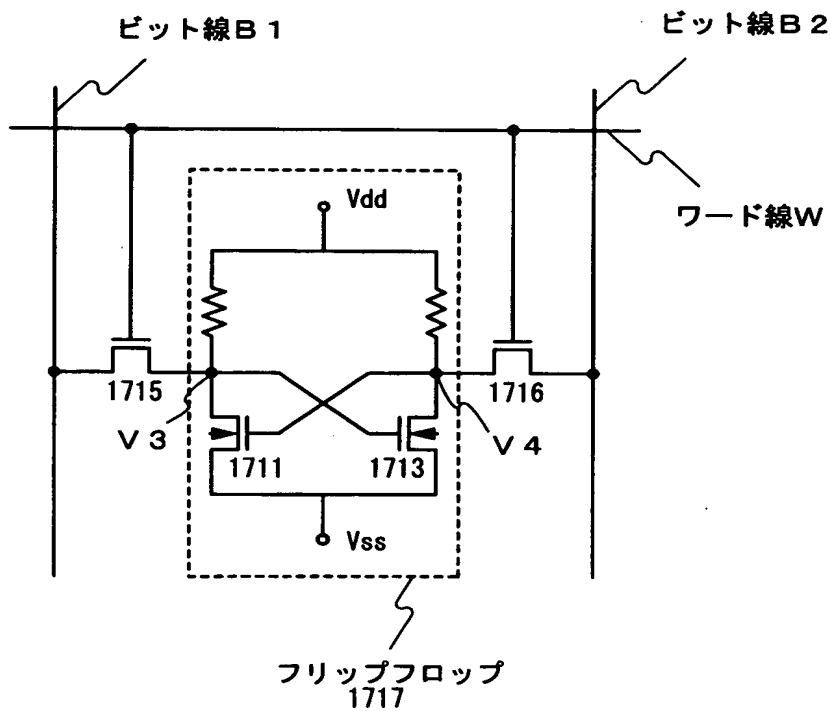


【図 17】

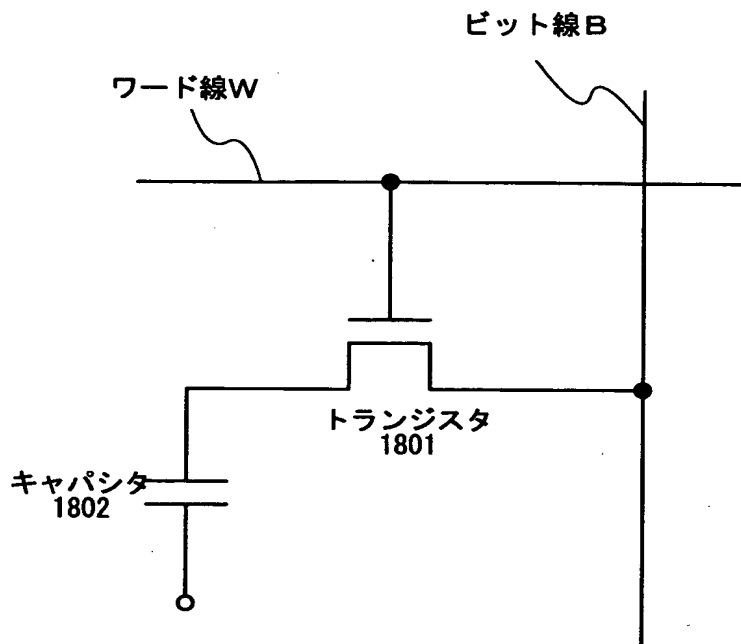
(A)



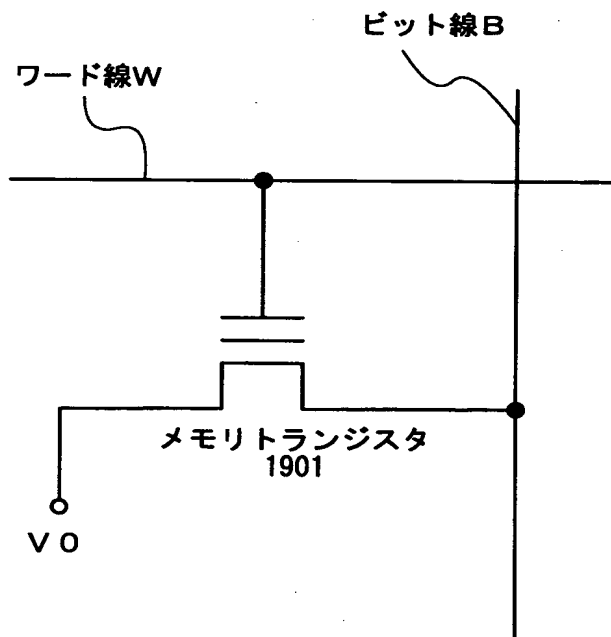
(B)



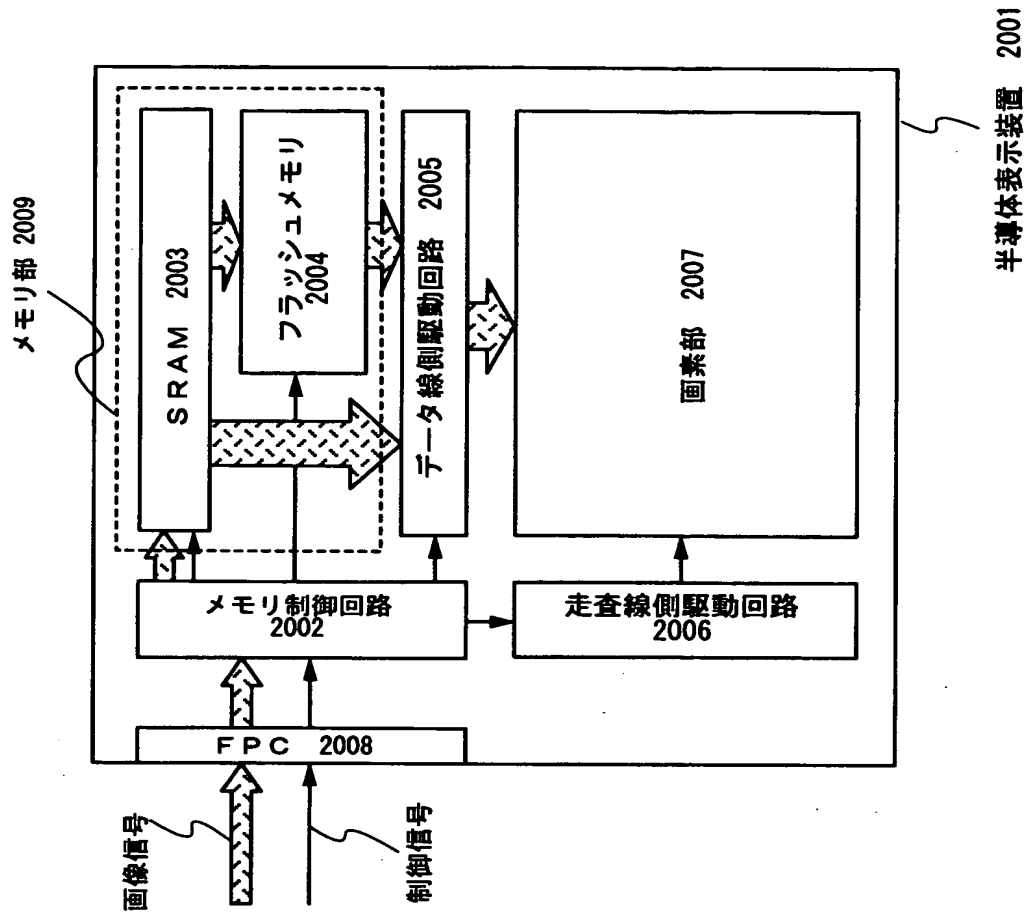
【図 1 8】



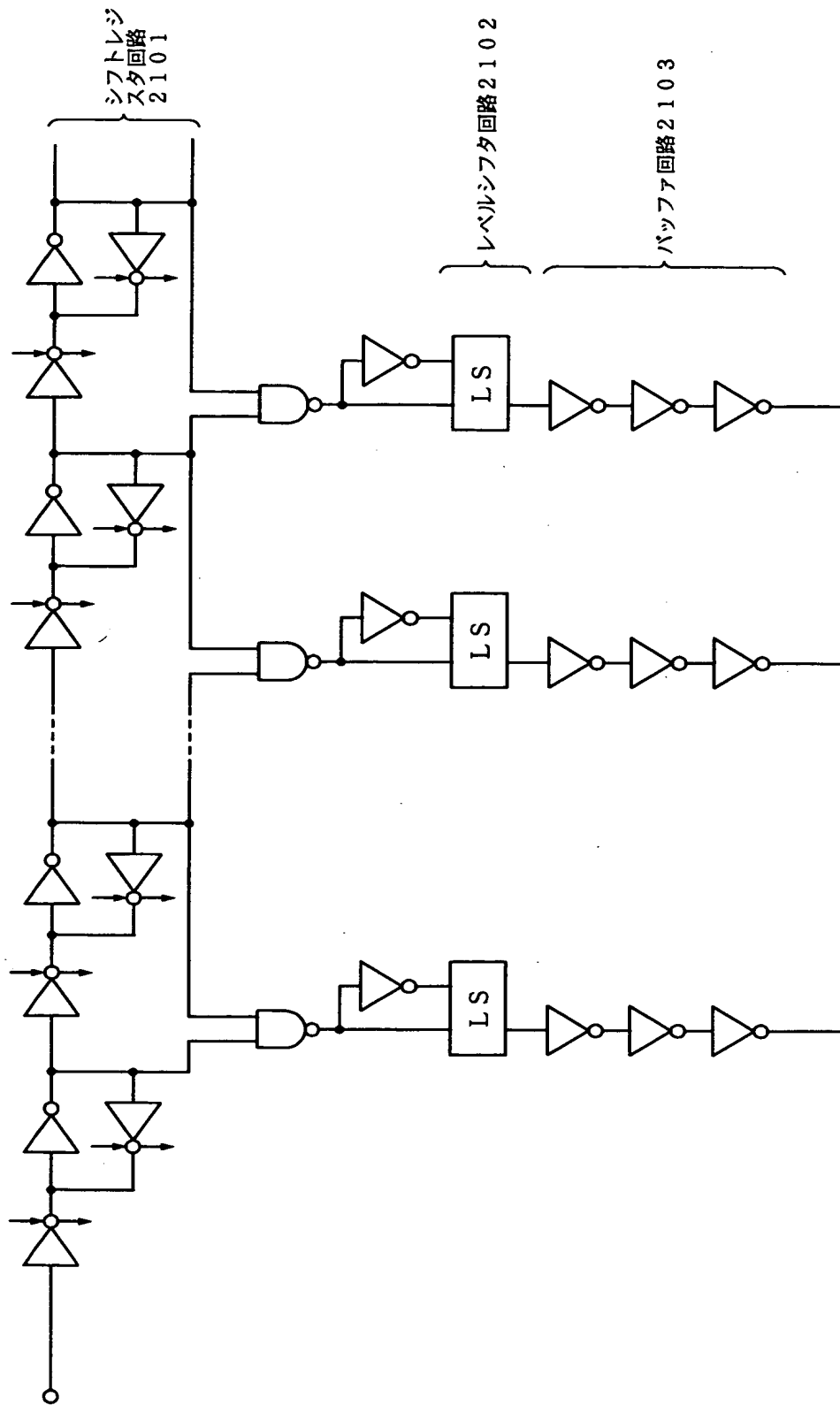
【図 1 9】



【図 2 0】

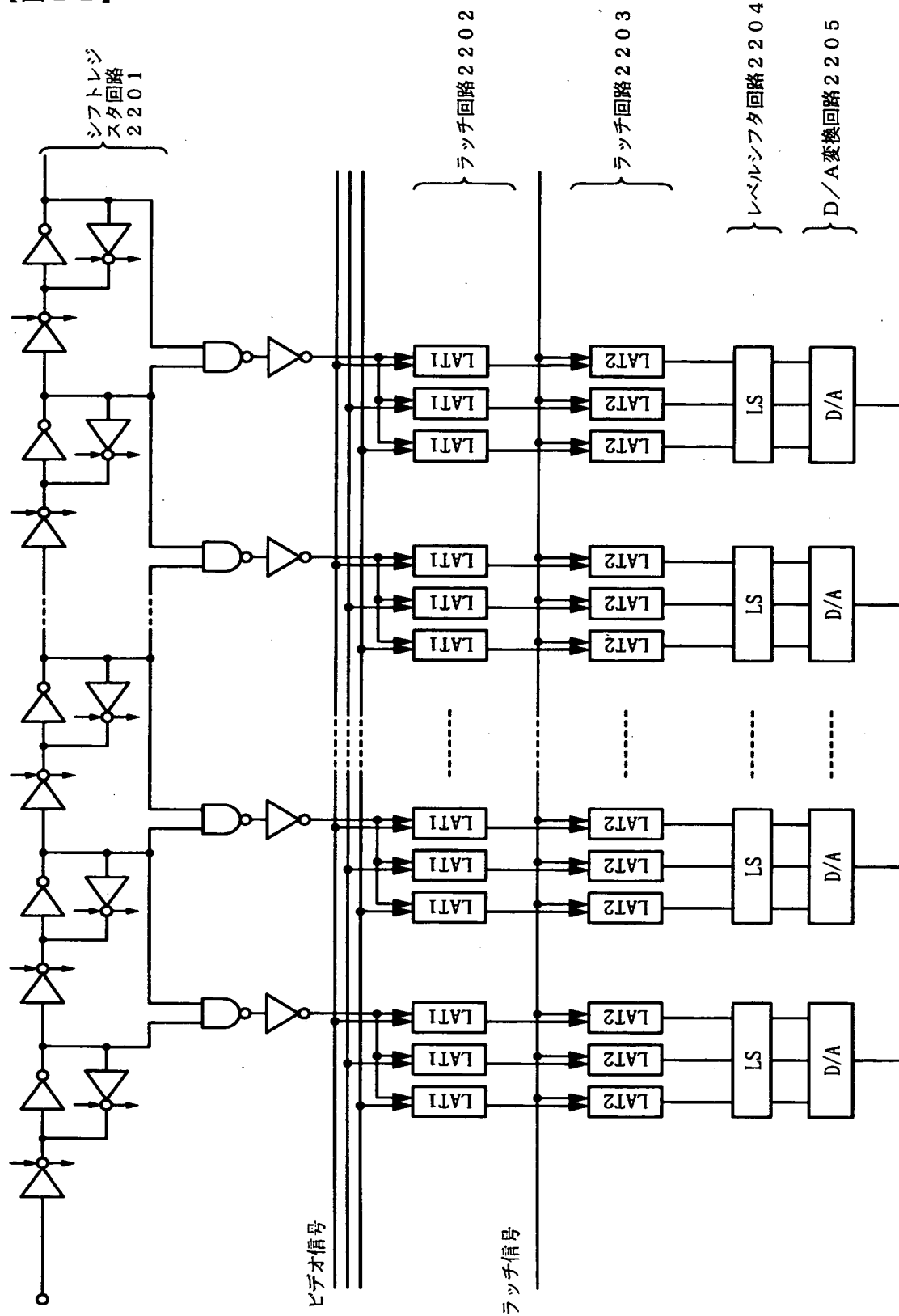


【図 2 1】

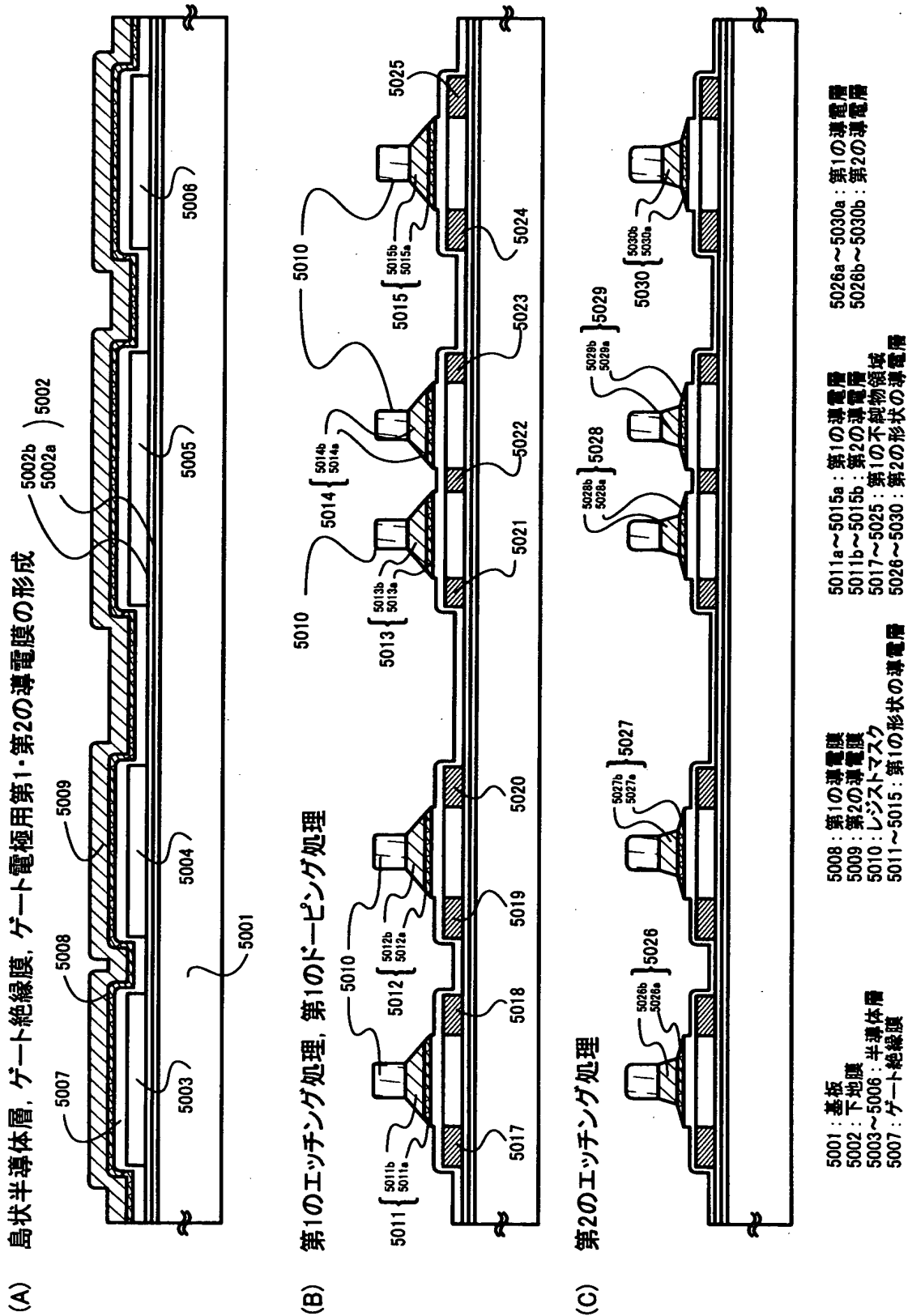


【図 2 2】

【図 2 2】

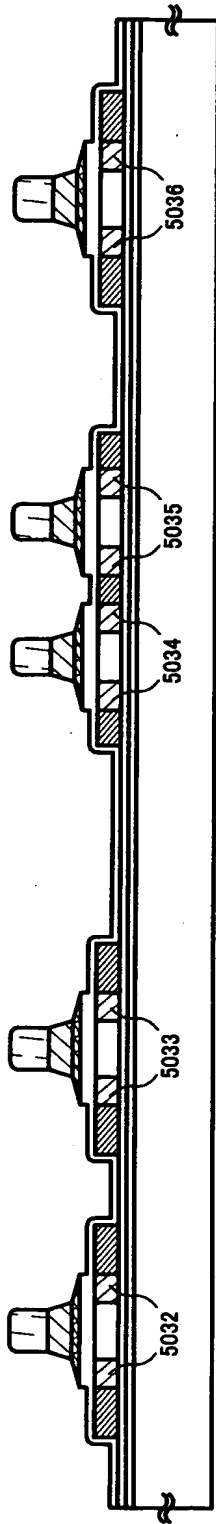


【图 2 3】

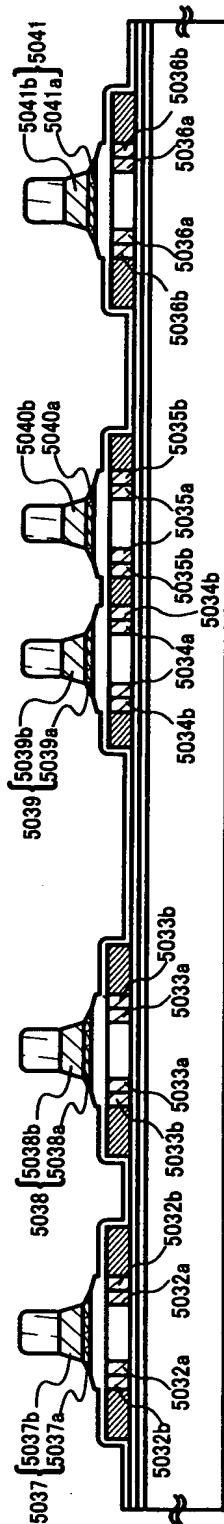


【図 2 4】

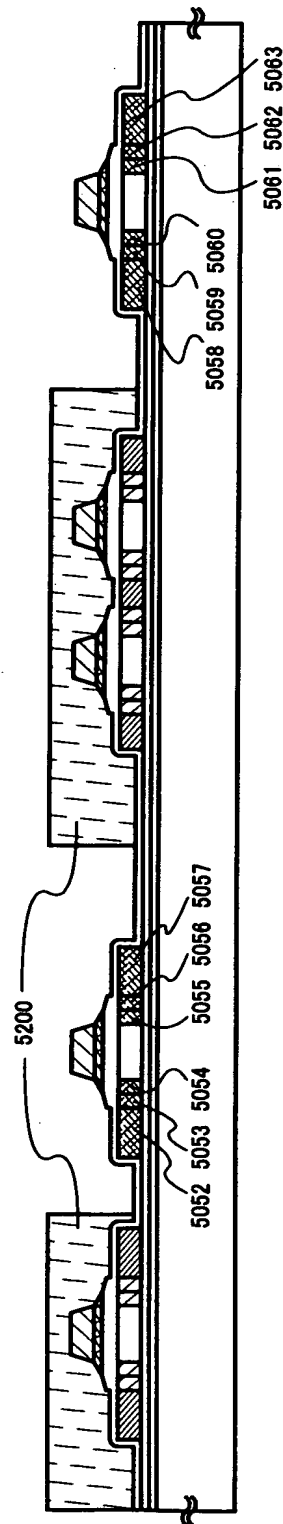
(A) 第2のドーピング処理



(B) 第3のエッチング処理



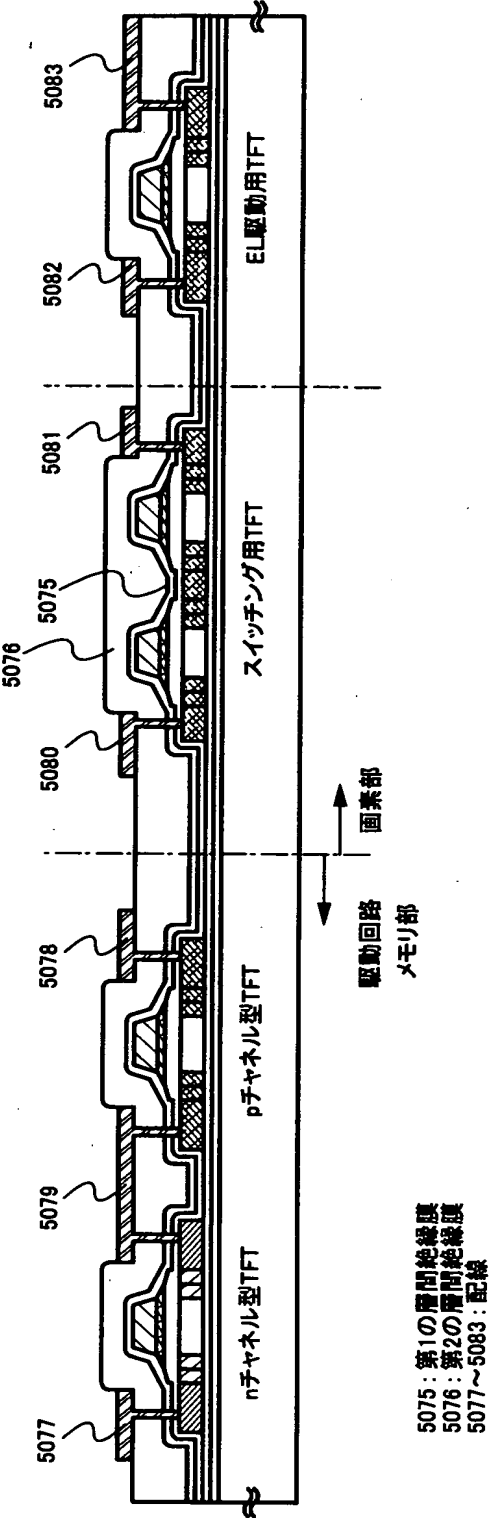
(C) 第3のドーピング処理



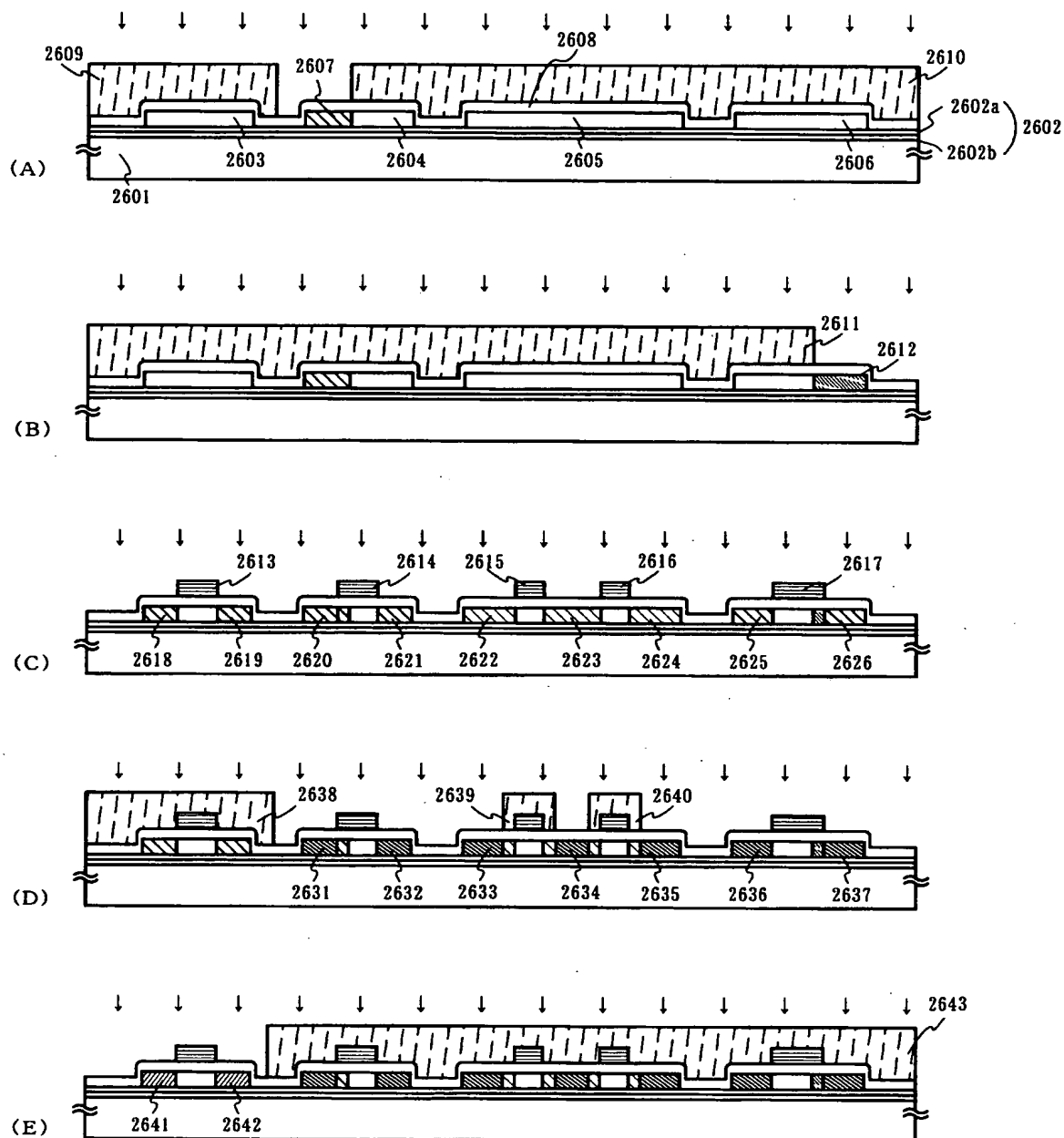
5032～5036：第2の不純物領域
5032a～5036a：第3の不純物領域
5032b～5036b：第4の不純物領域
5037～5041：第3の形状の導電層
5052～5063：第5の不純物領域
5200：レジストマスク

【図 2 5】

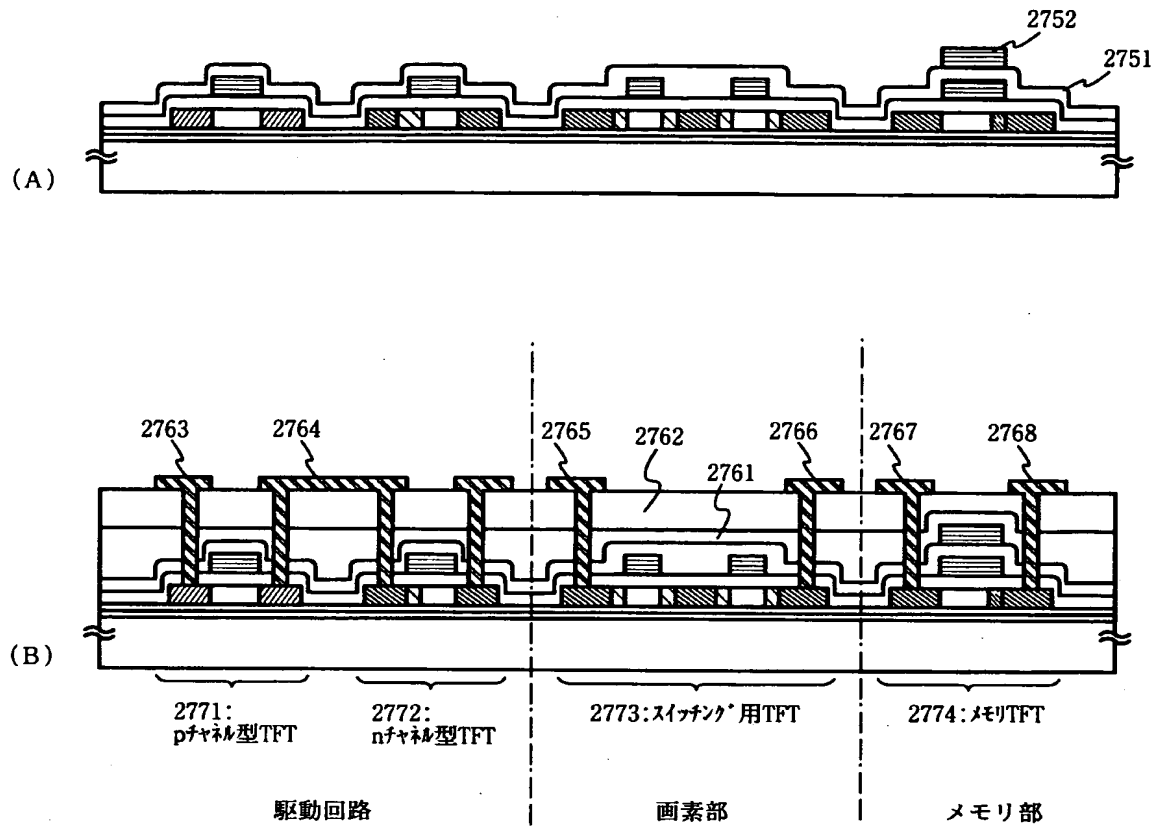
(A) 第1, 第2の層間絶縁膜, 配線形成



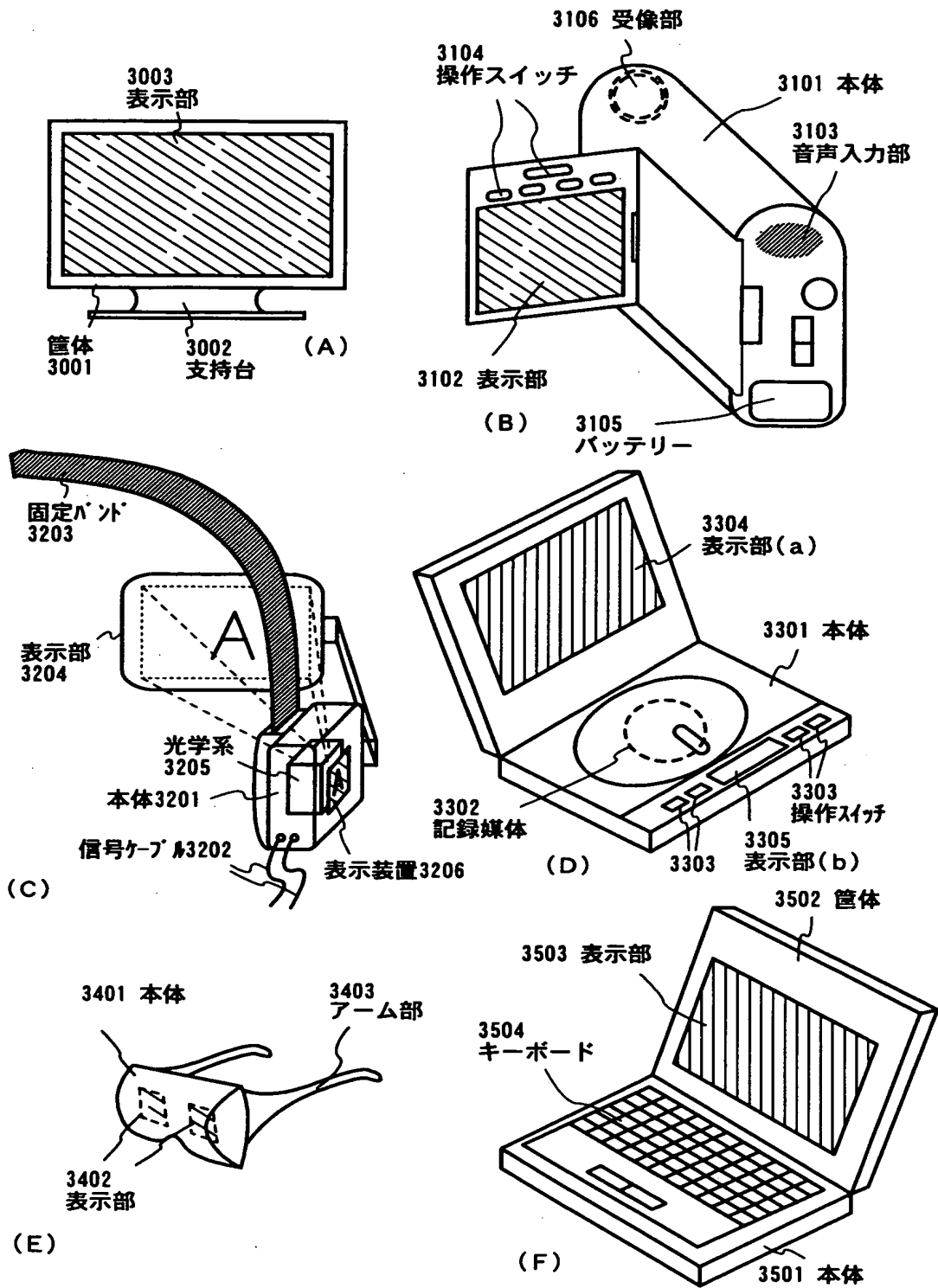
【図 2 6】



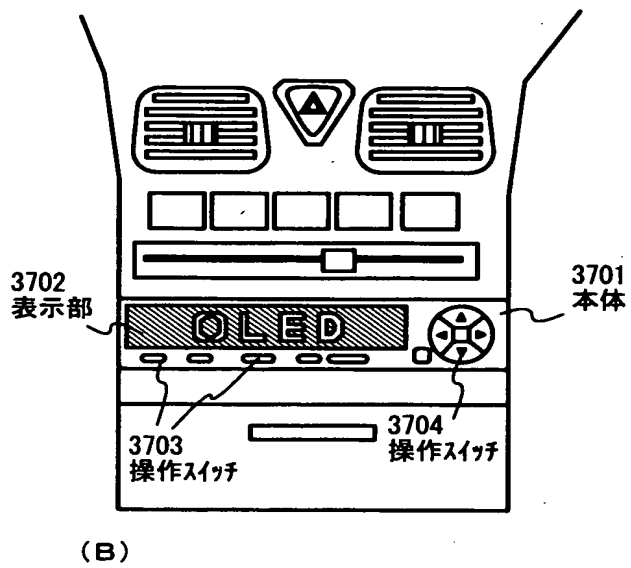
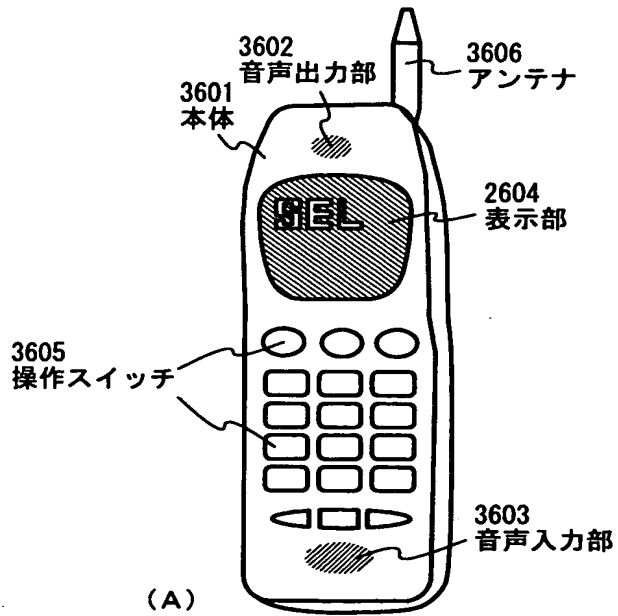
【図 2 7】



【図 28】



【図 2 9】



、【書類名】 要約書

【要約】

【課題】 静止画像を低消費電力で表示することが可能な半導体装置を提供する

。

【解決手段】

、静止画像を表示することのできる半導体表示装置を搭載した半導体装置において、画素部を形成する基板上にメモリ部を実装する。実装の方法は、画素部を形成する基板上にメモリ部を形成するか、またはメモリ部を備えたスティックドライバを用いる。そのようなメモリ部に格納された画像データを用いて静止画像を表示することにより、半導体表示装置の外部からは簡単な制御信号を入力するだけで静止画像を表示することが可能となり、低消費電力で静止画像を表示することのできる半導体表示装置および半導体表示装置を搭載した半導体装置が提供される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所